

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2003年 4月11日

出願番号

Application Number:

特願2003-107991

[ST.10/C]:

[JP2003-107991]

出願人

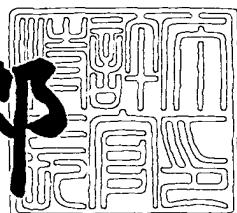
Applicant(s):

株式会社東芝

2003年 5月13日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3035090

【書類名】 特許願

【整理番号】 A000202441

【提出日】 平成15年 4月11日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/10

【発明の名称】 不揮発性半導体記憶装置及びその製造方法

【請求項の数】 22

【発明者】

【住所又は居所】 三重県四日市市山之一色町800番地 株式会社東芝四
日市工場内

【氏名】 園田 真久

【発明者】

【住所又は居所】 三重県四日市市山之一色町800番地 株式会社東芝四
日市工場内

【氏名】 角田 弘昭

【発明者】

【住所又は居所】 三重県四日市市山之一色町800番地 株式会社東芝四
日市工場内

【氏名】 森 誠一

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置及びその製造方法

【特許請求の範囲】

【請求項1】 第1導電型の半導体基板の主表面上に、素子分離領域によつて夫々分離された素子領域上に形成された複数の不揮発性記憶素子を具備し、

前記不揮発性記憶素子の夫々は、

前記半導体基板の主表面上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に第1の方向に沿つて形成された複数の浮遊電極と、

前記浮遊電極を挟むように第2の方向に沿つて形成された第2導電型の不純物拡散領域と、

前記複数の浮遊電極上に電極間絶縁膜を介して形成された制御電極とを具備し

前記第1の方向に沿つて隣接する複数の浮遊電極の間には複数のスリットが形成され、前記複数のスリット内にはスリット絶縁層が夫々埋め込まれ、前記電極間絶縁膜及び制御電極は前記スリット絶縁層を介して隣接する複数の不揮発性記憶素子の浮遊電極上に跨つて前記第1の方向に沿つて形成されること

を特徴とする不揮発性半導体記憶装置。

【請求項2】 前記スリット内に埋め込まれたスリット絶縁層は、前記電極間絶縁膜と同一の絶縁材料で形成されること

を特徴とする請求項1に記載の不揮発性半導体記憶装置。

【請求項3】 前記スリット内に埋め込まれたスリット絶縁層は、前記電極間絶縁膜とは異なる絶縁材料で形成されること

を特徴とする請求項1に記載の不揮発性半導体記憶装置。

【請求項4】 前記スリットの幅は、前記電極間絶縁膜の膜厚の1.6倍以下であること

を特徴とする請求項1乃至請求項3のいずれか1項に記載の不揮発性半導体記憶装置。

【請求項5】 前記電極間絶縁膜又はスリット絶縁膜は、ONO絶縁膜、シリコン酸化膜、又はシリコンナイトライド膜の少なくともいずれか1つを含んで

形成されていること

を特徴とする請求項1乃至請求項4のいずれか1項に記載の不揮発性半導体記憶装置。

【請求項6】 前記スリット絶縁膜は、低誘電率を有する第1の絶縁膜から形成され、前記電極間絶縁膜は高誘電率を有する第2の絶縁膜から形成されること

を特徴とする請求項1，請求項3又は請求項4に記載の不揮発性半導体記憶装置。

【請求項7】 前記第1の絶縁膜は、 SiO_2 又は低誘電率の SiO_2 の少なくともいずれか1つを含んで形成されること

を特徴とする請求項6に記載の不揮発性半導体記憶装置。

【請求項8】 前記第2の絶縁膜は、 Al_2O_3 ， Ta_2O_5 ，又は ONO 絶縁膜の少なくともいずれか1つを含んで形成されること

を特徴とする請求項6に記載の不揮発性半導体記憶装置。

【請求項9】 前記スリット絶縁膜及び電極間絶縁膜は前記第1の絶縁膜から形成され、前記第2の絶縁膜は前記第1の絶縁膜の上に前記第1の方向に沿って形成されること

を特徴とする請求項6乃至請求項8のいずれか1項に記載の不揮発性半導体記憶装置。

【請求項10】 前記素子分離膜は前記第1の絶縁膜により形成され、前記第1の絶縁膜により分離される複数の浮遊電極を有し、前記第2の絶縁膜は前記第1の絶縁膜と前記複数の浮遊電極の上面に形成されること

を特徴とする請求項6乃至請求項8のいずれか1項に記載の不揮発性半導体記憶装置。

【請求項11】 更に前記複数の浮遊電極は、前記ゲート絶縁膜上に形成される第1の浮遊電極層と、前記第1の浮遊電極上に形成される第2の浮遊電極層とにより形成される二層構造であること

を特徴とする請求項1乃至請求項10のいずれか1項に記載の不揮発性半導体記憶装置。

【請求項12】 前記第2の浮遊電極層の両端が、前記第1の方向に沿って前記素子分離膜の内部に張り出して形成されること

を特徴とする請求項11に記載の不揮発性半導体記憶装置。

【請求項13】 前記第1の絶縁膜の上面は、前記第2の浮遊電極層の上面よりも上方に形成されること

を特徴とする請求項11に記載の不揮発性半導体記憶装置。

【請求項14】 第1導電型の半導体基板の主表面に素子分離領域により分離された第1、第2の素子形成領域を形成し、

前記第1、第2の素子形成領域中にそれぞれ第1、第2のゲート絶縁膜を形成し、

前記素子分離領域上でスリットにより分離された状態で前記第1、第2のゲート絶縁膜上に夫々第1、第2の浮遊電極を形成し、

前記スリット内に前記第1、第2の浮遊電極と略同じ厚さを持つスリット絶縁層を形成し、

前記スリット絶縁膜上および前記第1、第2の浮遊電極上に電極間絶縁膜を形成し、

前記電極間絶縁膜上に前記第1、第2の浮遊電極に跨って共通に制御電極を形成すること

を特徴とする不揮発性半導体記憶装置の製造方法。

【請求項15】 半導体基板の主表面上にゲート絶縁膜材を堆積し、

前記ゲート絶縁膜材上に第1の浮遊電極材を堆積し、

前記第1の浮遊電極材及びゲート絶縁膜材をパターニングしてゲート絶縁膜および第1の浮遊電極を形成するとともに、前記半導体基板内に素子分離溝を形成し、

前記素子分離溝内に素子分離絶縁膜を埋め込み、素子分離領域を形成し、

前記第1の浮遊電極上及び前記素子分離絶縁膜上に第2の浮遊電極材を形成し

前記第2の浮遊電極材をパターニングし、前記素子分離絶縁膜上で絶縁スリットを介して互いに絶縁された2つの第2の浮遊電極を前記第1の浮遊電極上に形

成し、

前記絶縁スリットが埋まるようにスリット絶縁膜を形成し、

前記スリット絶縁膜および前記第2の浮遊電極上に電極間絶縁膜材および制御電極材を順次堆積し、

前記制御電極材をパターニングして前記スリット絶縁膜および第2の浮遊電極上に共通に制御電極を形成すること

を特徴とする不揮発性半導体記憶装置の製造方法。

【請求項16】更に、前記制御電極、電極間絶縁膜、第2の浮遊電極、及び第1の浮遊電極の前記パターニングにより露出した側面にゲート側壁絶縁膜を形成すること

を特徴とする請求項15に記載の不揮発性半導体記憶装置の製造方法。

【請求項17】前記第2の浮遊電極材をパターニングし、前記素子分離絶縁膜上で絶縁スリットを介して互いに絶縁された2つの第2の浮遊電極を前記第1の浮遊電極上に形成した後に、

前記絶縁スリットが埋まるようにスリット絶縁膜と、前記電極間絶縁膜と同時に形成すること

を特徴とする請求項15又は請求項16に記載の不揮発性半導体記憶装置の製造方法。

【請求項18】前記第2の浮遊電極材をパターニングし、前記素子分離絶縁膜上で絶縁スリットを介して互いに絶縁された2つの第2の浮遊電極を前記第1の浮遊電極上に形成した後に、

前記絶縁スリットが埋まるように誘電率の低い第1の絶縁膜を形成し、

前記第1の絶縁膜及び前記第2の浮遊電極上に誘電率の高い第2の絶縁膜を形成すること

を特徴とする請求項15又は請求項16に記載の不揮発性半導体記憶装置の製造方法。

【請求項19】前記第2の浮遊電極材をパターニングし、前記素子分離絶縁膜上で絶縁スリットを介して互いに絶縁された2つの第2の浮遊電極を前記第1の浮遊電極上に形成した後に、

前記絶縁スリットが埋まるように前記スリット絶縁膜と、前記電極間絶縁膜とを前記第1の絶縁膜により同時に形成し、

前記第1の絶縁膜上に前記第2の絶縁膜を形成すること
を特徴とする請求項15又は請求項16に記載の不揮発性半導体記憶装置の製造方法。

【請求項20】 前記半導体基板内に素子分離溝を形成した後に、
前記素子分離溝内に前記第1の絶縁膜を埋め込み、素子分離領域を形成し、
前記第1の浮遊電極上及び前記第1の絶縁膜上に前記第2の絶縁膜を形成すること
を特徴とする請求項15又は請求項16に記載の不揮発性半導体記憶装置の製造方法。

【請求項21】 前記素子分離溝内に前記第1の絶縁膜を埋め込み、素子分離領域を形成した後に、
前記第1の絶縁膜の両端の一部を欠落させ、
前記第1の絶縁膜及び前記第1の浮遊電極の上に、第2の浮遊電極材を堆積し、
前記第1の絶縁膜の欠落内部に張り出すように形成された第2の浮遊電極を自己整合的に形成し、
前記第1の絶縁膜及び前記第2の浮遊電極の上に前記第2の絶縁膜を形成すること
を特徴とする請求項15又は請求項16に記載の不揮発性半導体記憶装置の製造方法。

【請求項22】 前記素子分離溝内に前記第1の絶縁膜を埋め込み、素子分離領域を形成した後に、
前記第1の浮遊電極の上に前記第1の絶縁膜を挟むように第2の浮遊電極を形成し、
前記第1の絶縁膜の上面が前記第2の浮遊電極の上面よりも高くなるように、
前記第2の浮遊電極を形成し、
前記第1の絶縁膜及び前記第2の浮遊電極の上に前記第2の絶縁膜を形成すること

を特徴とする請求項15又は請求項16に記載の不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、不揮発性半導体記憶装置及びその製造方法に関し、特に隣接する不揮発性記憶素子の浮遊電極間に絶縁膜で絶縁されたスリットを有する不揮発性半導体記憶装置に適用されるものである。

【0002】

【従来の技術】

従来の浮遊電極を具備する不揮発性半導体記憶装置として、図17に示すようなものがある（例えば、特許文献1参照）。図17に示された不揮発性半導体記憶装置は、シリコン基板111、ゲート酸化膜112、下層の浮遊電極となる第1の多結晶シリコン膜113、シリコン酸化膜116、素子分離領域のSTI埋め込み材であるシリコン酸化膜117、上層の浮遊電極となる第2の多結晶シリコン膜118、ONO絶縁膜（シリコン酸化膜、シリコンナイトライド膜、シリコン酸化膜の3層膜）119、下層の制御電極となる第3の多結晶シリコン膜120、上層の制御電極となるWSi膜121、絶縁保護膜となるシリコン酸化膜122、から構成されている。

【0003】

下層の浮遊電極である第1の多結晶シリコン膜113は素子分離領域のシリコン酸化膜116、117により隣接するセルの対応する下層の浮遊電極とは絶縁され、上層の浮遊電極である第2の多結晶シリコン膜118はシリコン酸化膜117の上でスリット126により隣接するセルの対応する上層の浮遊電極と分離されている。浮遊電極118と制御電極120とは電極間絶縁膜であるONO絶縁膜119で絶縁されている。

【0004】

しかし、従来の不揮発性半導体記憶装置では、この浮遊電極コーナー部125において、ONO絶縁膜119とともに制御電極120が隣接するセル間のスリ

ット126内に入り込む構造となっていた。

【0005】

そのため浮遊電極コーナー部125には電界が集中し、このコーナー部125のONO絶縁膜119の絶縁特性が低下する為に、浮遊電極113，118に記憶情報に対応して注入された電荷保持特性が悪いという問題があった。

【0006】

【特許文献1】

特開2002-016154号公報 明細書

【0007】

【発明が解決しようとする課題】

上記のように従来の不揮発性半導体記憶装置は、素子分離領域上で隣接するセルの浮遊電極間の絶縁用のスリット内に制御電極が入り込む構造となっていた。

【0008】

そのため、スリット内の浮遊電極コーナー部には電界が集中し、記憶情報の電荷保持特性が悪いという問題があった。

【0009】

この発明は上記のような事情に鑑みてなされたもので、電荷保持特性の良い不揮発性半導体記憶装置及びその製造方法を提供することを目的とする。

【0010】

【課題を解決するための手段】

本発明の一態様の不揮発性半導体記憶装置は、第1導電型の半導体基板の主表面上に素子分離領域によって夫々分離された素子領域に形成された複数の不揮発性記憶素子を具備し、前記不揮発性記憶素子の夫々は、前記半導体基板の主表面上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に第1の方向に沿って形成された複数の浮遊電極と、前記浮遊電極を挟むように第2の方向に沿って形成された第2導電型の不純物拡散領域と、前記複数の浮遊電極上に電極間絶縁膜を介して形成された制御電極とを具備し、前記第1の方向に沿って隣接する複数の浮遊電極の間には複数のスリットが形成され、前記複数のスリット内にはスリット絶縁層が夫々埋め込まれた、前記電極間絶縁膜及び制御電極は前記スリット絶縁

層を介して前記第1の方向に沿って隣接する複数の不揮発性記憶素子の浮遊電極上に跨って前記第1の方向に沿って形成されること、を特徴として構成される。

【0011】

本発明の他の態様の不揮発性半導体記憶装置の製造方法は、第1導電型の半導体基板の主表面に素子分離領域により分離された第1、第2の素子形成領域を形成し、前記第1、第2の素子形成領域中にそれぞれ第1、第2のゲート絶縁膜を形成し、前記素子分離領域上でスリットにより分離された状態で前記第1、第2のゲート絶縁膜上に夫々第1、第2の浮遊電極を形成し、前記スリット内に前記第1、第2の浮遊電極と略同じ厚さを持つスリット絶縁層を形成し、前記スリット絶縁膜上および前記第1、第2の浮遊電極上に電極間絶縁膜を形成し、前記電極間絶縁膜上に前記第1、第2の浮遊電極に跨って共通に制御電極を形成することを特徴とする。

【0012】

上記の構成によれば、隣接する浮遊電極間のスリット内に制御電極が入り込むことはない。そのため、スリット内の浮遊電極コーナー部に電界が集中することなく、電荷保持性の良い不揮発性半導体記憶装置及びその製造方法を提供することが出来る。

【0013】

【発明の実施の形態】

以下、シリコン基板の主表面上に形成した浮遊電極を有する不揮発半導体記憶装置に本発明を適応した実施の形態について図面を参照して説明する。なおこの説明においては、全図にわたり共通の部分には共通の参考符号を付す。

【0014】

[第1の実施形態]

以下、図1乃至図3を用いてこの発明の第1の実施形態に係る浮遊電極を有する不揮発性半導体記憶装置を説明する。ここで、図1は図3の平面図におけるI-I線で切断して矢印方向に見た断面図である。図2は図3の平面図におけるII-II線で切断して矢印方向に見た断面図である。図3はこの発明の一実施形態に係る不揮発性半導体記憶装置の平面図である。

【0015】

図1に示すように、シリコン基板11の主表面上に、ゲート絶縁膜となるシリコン酸化膜12と第1の浮遊電極層となる多結晶シリコン膜13とが、素子分離領域を形成するSTI溝17Aの内部に形成されたシリコン酸化膜16の外壁により分離された状態で、順次積層される。シリコン酸化膜16により取り囲まれたSTI溝17Aの内部にはSTI埋め込み材であるシリコン酸化膜17が充填される。

【0016】

多結晶シリコン膜13の上には第2の浮遊電極層として多結晶シリコン膜18が形成される。この多結晶シリコン膜18は、STI埋め込み材であるシリコン酸化膜17の上面のほぼ中央部においてスリット18Aにより分離される。このスリット18A内および第2の浮遊電極層となる多結晶シリコン酸化膜18の上には、電極間絶縁膜としてONO絶縁膜（シリコン酸化膜、シリコンナイトライド膜、シリコン酸化膜との三層からなる）19-1が堆積される。

【0017】

このONO絶縁膜19-1の上には第1の制御電極層となる多結晶シリコン膜20および第2の制御電極層となるWSi膜21が順次形成される。図3に示すように、これらの第1、第2の制御電極層20、21により制御電極CG<0>、CG<1>が形成される。

【0018】

図2及び図3に示すように、シリコン基板11の主表面上に、ゲート絶縁膜となるシリコン酸化膜12と第1の浮遊電極層となる多結晶シリコン膜13とが、シリコン酸化膜17により分離された素子領域に形成される。シリコン酸化膜12の下のシリコン基板11内部には、隣接する多結晶シリコン膜13の間に跨ってソース領域・ドレイン領域となる不純物拡散層24-1、24-2、24-3が形成される。

【0019】

多結晶シリコン膜13の上には第2の浮遊電極層として多結晶シリコン膜18が形成される。この多結晶シリコン膜18の上には、電極間絶縁膜としてONO

絶縁膜（シリコン酸化膜、シリコンナイトライド膜、シリコン酸化膜との三層からなる）19-1が堆積される。これらの多結晶シリコン膜13, 18が隣接する2つの不揮発性記憶素子MC<01>, MC<11>においてそれぞれ2層構造の浮遊電極FG<01>, FG<11>を構成する。

【0020】

このONO絶縁膜19-1の上には、第1の制御電極層となる多結晶シリコン膜20および第2の制御電極層となるWSi膜21が順次形成される。これらの第1、第2の制御電極層20, 21により同様に隣接する2つの不揮発性記憶素子MC<01>, MC<11>の制御電極CG<0>, CG<1>が形成される。これらを具備する不揮発性記憶素子MC<00>~MC<11>の側面にはゲート側壁絶縁膜23が形成され、上面にはシリコン酸化膜22が夫々形成される。

【0021】

ここで、図3の平面図を参照して図1、図2に示した断面構造を有するこの実施形態の不揮発性半導体記憶装置の平面レイアウトを説明する。即ち、シリコン基板11に素子分離膜となるシリコン酸化膜17(STI埋め込み材)によって分離された素子形成領域に、制御電極CG<0>, CG<1>に沿って形成された複数の不揮発性記憶素子MC<00>~MC<11>を有する不揮発性半導体記憶装置が形成される。ここで、MCは不揮発性記憶素子、CGは制御電極、FGは浮遊電極であり、<n m> (n m: 整数) はMCのマトリクス状配列における<row, column>を表わす。図3では4個の不揮発性記憶素子MC<00>~MC<11>を示している。

【0022】

また、シリコン基板11にゲート絶縁膜となるシリコン酸化膜12が形成され、シリコン酸化膜12の下方で隣接する不揮発性記憶素子の浮遊電極FG間に跨り、かつ制御電極CG<0>, CG<1>に直交する方向にソース、ドレインとなるべき不純物拡散層24-1、24-2、24-3が形成される。

【0023】

さらに、不揮発性記憶素子MC<00>~MC<11>は、夫々浮遊電極FG

$\langle 00 \rangle \sim FG \langle 11 \rangle$ 及び制御電極 CG $\langle 0 \rangle$ 、 CG $\langle 1 \rangle$ を有する。

【0024】

浮遊電極 FG $\langle 00 \rangle \sim FG \langle 11 \rangle$ は、各々不揮発性記憶素子 MC $\langle 00 \rangle \sim MC \langle 11 \rangle$ の領域内に形成され、ゲート絶縁膜となるシリコン酸化膜 12 上に、多結晶シリコン膜 13 及び多結晶シリコン膜 18 から形成される。

【0025】

また、浮遊電極 FG $\langle 00 \rangle \sim FG \langle 11 \rangle$ と制御電極 CG $\langle 0 \rangle$ 、 CG $\langle 1 \rangle$ の間には電極間絶縁膜となる ONO 絶縁膜 19-1 $\langle 0 \rangle$ 、 19-1 $\langle 1 \rangle$ が形成される。

【0026】

一方、制御電極 CG は多結晶シリコン膜 20 及び WSi 膜 21 から構成されている。つまり、制御電極 CG $\langle 0 \rangle$ は、電極間絶縁膜 19-1 $\langle 0 \rangle$ を介して、浮遊電極 FG $\langle 00 \rangle$ 、 FG $\langle 01 \rangle$ の上方に形成される。同様に、制御電極 CG $\langle 1 \rangle$ は、電極間絶縁膜 19-1 $\langle 1 \rangle$ を介して、浮遊電極 FG $\langle 10 \rangle$ 、 FG $\langle 11 \rangle$ の上方に形成される。

【0027】

また、制御電極 CG $\langle 0 \rangle$ に沿って隣接する浮遊電極 FG $\langle 00 \rangle$ と FG $\langle 01 \rangle$ の間をスリット 18A $\langle 0 \rangle$ とする。同様に、制御電極 CG $\langle 1 \rangle$ に沿って隣接する浮遊電極 FG $\langle 10 \rangle$ と FG $\langle 11 \rangle$ の間をスリット 18A $\langle 1 \rangle$ とする。

【0028】

図1に示すように、このスリット 18A の内部には ONO 絶縁膜 19-2 が形成され、制御電極 CG に沿って隣接する浮遊電極 18 の間にあるスリット 18A を完全に埋めるように形成される。例えば、スリット 18A $\langle 0 \rangle$ の内部には、 ONO 絶縁膜 19-2 $\langle 0 \rangle$ が、同様に、スリット 18A $\langle 1 \rangle$ の内部には、 ONO 絶縁膜 19-2 $\langle 1 \rangle$ が形成される。

【0029】

上記のような構成をとることによって、スリット 18A 内部に電極間絶縁膜 ONO 絶縁膜 19-1 が完全に入り込んで埋める。従って、電極間絶縁膜 ONO 絶

縁膜19-1の上方に形成された制御電極CGがスリット18A内部に入り込むことはない。

【0030】

次に、各素子の動作について、不揮発性記憶素子MC<11>の場合を例に挙げて説明する。

【0031】

書き込み動作について説明する。まず、シリコン基板11が接地電位とされる。そして、ソース、ドレイン領域となるべき不純物拡散層24-2と不純物拡散層24-3の間に高電圧が印加される。例えば、不純物拡散層不純物拡散層24-2をソース領域、不純物拡散層24-3をドレイン領域とすると、ソース領域の不純物拡散層24-2に接地電位、ドレイン領域の不純物拡散層24-3にある所定の高電位を印加する。

【0032】

さらに、制御電極CG<1>に高電位を印加すると、ソース、ドレイン間、即ち、不純物拡散層24-2～24-3の間に印加された高電位により発生したホットエレクトロンが制御電極CG<1>の高電圧によって浮遊電極FG<11>に注入される。もしくは、制御電極CG<1>の高電圧によって、FN電流が発生し、浮遊電極FG<11>にエレクトロンが注入される。

【0033】

このように、不揮発性記憶素子MC<11>が選択的に書き込まれる。また、浮遊電極FG<11>に注入された電子はそのまま保持される。そのため、書き込まれた情報が再書き込み動作なしに維持される。

【0034】

次に、読み出し動作について説明する。まず、シリコン基板11が接地電位とされる。そして、ソース領域となる不純物拡散層24-2も接地電位とされる。さらに、ドレイン領域となる不純物拡散層24-3に電位が印加される。次に、制御電極CG<1>に電圧が印加される。この時、不揮発性記憶素子MC<11>の浮遊電極<11>には電子が注入されているものとすると、ソース、ドレイン間にチャネルが形成されにくくなり、閾値電圧が高くなる。即ち、記憶素子M

C<11>は、オフ状態となり、ソース、ドレイン間である不純物拡散層24-2～24-3の間には電流が流れない。

【0035】

一方、浮遊電極<11>に電子が注入されていないものとすると、ソース、ドレイン間に容易にチャネルが形成されて電流が流れ、記憶素子MC<11>はオン状態となる。このようにして、不揮発性記憶素子MC<11>のドレイン領域つまり、不純物拡散層24-3における電流の有無をこの先に接続された図示しないセンスアンプ等により読み出すことによって、記憶素子MC<11>に書き込まれた情報を読み出す。

【0036】

次に、消去動作について説明する。消去動作は、すべての不揮発性記憶素子MC<00>～MC<11>についての一括消去である。即ち、すべてのドレイン領域及びソース領域となる不純物拡散層24に正電位を印加する。さらに、すべての制御電極CG<0>、CG<1>に負電位を印加する。その結果、すべての浮遊電極FG<00>～FG<11>から保持電子がシリコン基板11に引き抜かれ、不揮発性記憶素子MC<00>～MC<11>の記憶情報が消去される。以上の動作は、他の不揮発性記憶素子MC<00>、MC<01>、MC<10>についても同様である。

【0037】

上述のように、制御電極CGに沿って隣接する浮遊電極FGの溝となる、スリット18Aの内部にはONO絶縁膜19-2がこの溝を完全に埋めるように形成される。上記のような構成をとることによって、スリット18A内部は電極間絶縁膜ONO絶縁膜19-1が完全に入り込んでスリット18Aが埋め込まれる。従って、電極間絶縁膜ONO絶縁膜19-1の上方に形成された制御電極CGがスリット18A内部に入り込むことはない。このことにより、書き込み動作後に浮遊電極FGに注入された電子が、浮遊電極コーナー部25の電界集中によって、制御電極CGに漏れ出すことを排除することができる。即ち、電荷保持特性を向上することが出来る。

【0038】

このように、この実施形態によれば、スリット18Aの幅がどれだけ広くても従来のように制御電極20がスリット18A内に垂れ下がることがないので、浮遊電極18との間に電界の集中が起こることを未然に防止できる。従って、不揮発性記憶素子の電荷保持特性が著しく向上する。

【0039】

また、図1～図3に示した実施形態では、スリット18A内を埋めるスリット絶縁膜19-2を先に形成し、その後、浮遊電極18と制御電極20との間に形成される電極間絶縁膜19-1を堆積させる方法で製造することができるが、スリット絶縁膜19-2と電極間絶縁膜19-1とが同じONO膜で形成される場合には両者を同時に形成することも可能である。

【0040】

一方、スリット18Aの幅は隣接する2つの不揮発性記憶素子の間隔を決めるファクターであり、限られた面積内に高密度に不揮発性記憶素子を配置しようとすると、必然的にスリット18Aの幅が狭くなってくる。

【0041】

このような場合にも本実施形態の効果を十分に發揮するためには、スリット18Aの幅 d_F と電極間絶縁膜19-1の膜厚 d_{ONO} が以下の条件に従うことが望ましい。この条件について、図4を用いて説明する。

【0042】

図4は電荷保持特性不良率に対して、スリット幅 d_F ／膜厚 d_{ONO} の依存性を表わすグラフである。ここで、スリット幅 d_F は隣接する浮遊電極18間のスリット18Aの間隔であり、膜厚 d_{ONO} は多結晶シリコン膜20と多結晶シリコン膜18との間に堆積する電極間絶縁膜19-1の膜厚である。

【0043】

図4に示すように、例えば図17に示すような構造をもつ従来の不揮発性半導体記憶素子では、スリット幅 d_F ／膜厚 $d_{ONO} = 4$ 程度となる。従って、電荷保持特性不良率が8%程度発生する。

【0044】

これに対して本実施形態では、スリット絶縁膜19-2と電極間絶縁膜19-

d_F と同じ材料で同時に堆積させる場合には、スリット幅 d_F / 膜厚 $d_{ONO} < 1.6$ であることが望ましいことが図4から分かる。この場合、電荷保持特性不良率がほぼ0%となり、極めて良好な電荷保持特性を示す。

【0045】

この不等式、スリット幅 d_F / 膜厚 $d_{ONO} < 1.6$ が示す関係は、膜厚 d_{ONO} を有する絶縁膜を用いて、スリット幅 d_F を有するスリット 18A を同一の絶縁膜で埋めることができる条件である。

【0046】

即ち、一般的に、スリット 18A に堆積されるスリット幅方向の膜厚は、堆積される絶縁膜の種類にもよるが、浮遊電極 18 と制御電極 20 の間に堆積される電極間絶縁膜 $19-1$ である膜厚 d_{ONO} の 1.6 倍程度となるからである。これは、浮遊電極 18 の側面に堆積されるスリット間絶縁膜 $19-2$ の膜厚が、多結晶シリコン膜 18 と多結晶シリコン膜 20 の間に堆積される電極間絶縁膜 $19-1$ の膜厚に比べ、およそ 0.8 倍程度となるからである。

【0047】

一方、電極間絶縁膜 $19-1$ が理想的な状態でスリット 18A における側面に堆積される場合は、浮遊電極層 18 の上面に堆積される厚さが同じとなるので、スリット幅 d_F は膜厚 d_{ONO} の 2.0 倍程度になると考えられる。しかしながら、実際にこの条件下で堆積した場合には、スリットは完全には埋まらないで電極間絶縁膜 $19-1$ の表面に若干の窪みが出来てしまう。この結果、従来のようにスリット 18A の内部に制御電極が入り込み、浮遊電極コーナー部に電界集中が起きてしまう。その結果、従来における電界集中による電荷保持特性の低下という不都合が解消されないことになる。

【0048】

しかし、浮遊電極スリット幅 d_F が膜厚 d_{ONO} の 1.6 倍よりも小さい場合は、スリット 18A の内部は例えば ONO 絶縁膜 19 によって完全に埋め込まれ、スリット 18A 内に制御電極 20 が入り込むことを完全に回避できる。その結果、制御電極 20 は浮遊電極コーナー部 25 を覆わず、電界集中が発生しづらい構造となり、電荷保持特性が向上する。

【0049】

さらに、この条件に従うと、各セル、即ち不揮発性記憶素子毎のしきい値分布のばらつきを抑制する効果も期待できる。即ち、制御電極に面する側の浮遊電極コーナー部の曲率半径は、セル毎に異なっているため、コーナー部を電荷保持に用いると書き込み／消去のスピードもセル毎に変わってくる。そのため各セルのしきい値分布のばらつきが生じる。しかし本実施形態では、浮遊電極コーナー部25を電荷保持に使わず、フラットな絶縁膜のみを書き込み／消去に用いるので、セル間のばらつきが小さくなるからである。

【0050】

尚、本実施形態では、電極間絶縁膜及びスリット間絶縁膜としてONO絶縁膜を用いる場合を示したが、絶縁膜であれば例えば、酸化膜、シリコンナイトライド膜等その他の絶縁膜を用いても同様の効果を得ることが出来る。

【0051】

以下、図5及び図6を参照して図1乃至図3に示した実施形態の不揮発性半導体記憶装置の製造工程の一例を説明する。

【0052】

先ず、図5(a)、図6(a)において、シリコン基板11の主表面上に例えば800°CのO₂雰囲気で加熱し10nm程度の厚さで第1のシリコン酸化膜12を形成する。次に例えば減圧CVD法により、浮遊電極となる60nm程度の多結晶シリコン膜13と、100nm程度のシリコンナイトライド膜14と、150nm程度のシリコン酸化膜15を堆積する。次いで、通常の光蝕刻法によりフォトレジストを用いて所望のパターンに加工し、それをマスクにしてRIE法によりシリコン酸化膜15とシリコンナイトライド膜14を加工する。次にO₂プラズマ中にシリコン基板を曝し、フォトレジストを除去し、シリコン酸化膜15をマスクにして多結晶シリコン膜13を加工する。

【0053】

次に、図5(b)、図6(b)において、シリコン酸化膜15をマスクにシリコン酸化膜12及びシリコン基板11を加工してシリコン基板11中に溝17Aを形成する。次いで、1000°C程度のO₂雰囲気で加熱し、溝17Aの外壁に

6 nm程度のシリコン酸化膜16を形成する。次にHDP (high density plasma) 法により、STI埋め込み材となる600nm程度のシリコン酸化膜17を堆積する。

【0054】

次に、図5(c)、図6(c)において、CMP (chemical mechanical polishing) 法によりシリコン酸化膜17を平坦化し、900°C程度の窒素雰囲気中で加熱する。さらに、バッファード (Buffered) HF溶液に10sec程度浸して、150°C程度のリン酸処理によりシリコンナイトライド膜14を除去する。次に、ディリュート (Dilute) HF溶液でシリコン酸化膜17を20nm程度エッチングする。

【0055】

さらに、減圧CVD法によりリンが添加されて浮遊電極となる多結晶シリコン膜18を堆積する。さらに、シリコン酸化膜17上面の略中央部に、フォトレジストのマスクを用いてRIE法により多結晶シリコン膜18を加工し、スリット18Åを形成する。

【0056】

更に、図5(d)、図6(d)において、減圧CVD法でONO絶縁膜19-1、19-2 (5nm程度のシリコン酸化膜、5nm程度のシリコンナイトライド膜、5nm程度のシリコン酸化膜の3層膜)、制御電極となるリンが添加された100nm程度の多結晶シリコン膜20、100nm程度のWSi膜21、200nm程度のシリコン酸化膜22を堆積する。次に、フォトリソグラフィー法によりフォトレジストを所望の形にパターニングし、それをマスクにしてシリコン酸化膜22を例えばRIE法により加工する。

【0057】

次いで、図6(e)において、シリコン酸化膜22をマスクとして、WSi膜21、多結晶シリコン膜20、ONO絶縁膜19-1、19-2、多結晶シリコン膜18、多結晶シリコン膜13、を順次例えばRIE法により加工する。さらに、加工後の制御電極及び前記STI埋め込み材となるシリコン酸化膜17のパターンをマスクとして用い、例えばイオン打ち込み法により自己整合的にソース

／ドレイン領域となる不純物拡散層24-1, 24-2, 24-3を形成する。さらに、1000°C程度のO₂雰囲気中で加熱しすることにより、夫々の不揮発性記憶素子MCの側壁にシリコン酸化膜23を形成する。

【0058】

以上の製造工程により、不揮発性記憶素子MC<00>～MC<11>を形成する。

【0059】

図5(d)で示すように、浮遊電極間のスリット18A<1>内部がONO絶縁膜19-2<1>で埋められる。そのため、制御電極CG<1>を構成する多結晶シリコン膜20及びWSi膜21が、スリット18A<1>内部に入り込めない構造となっている。そのため、浮遊電極コーナー部25での電界集中が発生せず、電荷保持特性が向上する。

【0060】

また、本実施形態に係る製造方法は、制御電極CG<0>、CG<1>と浮遊電極FG<00>～FG<11>の電極間絶縁膜であるONO絶縁膜19-1、及びスリット18A<0>、スリット18A<1>に埋め込まれるスリット絶縁膜であるONO絶縁膜19-2が同一の絶縁膜を用いて、同時に堆積する工程となっている。この時、この実施形態で示した関係式、

$$\text{スリット幅 } d_F / \text{膜厚 } d_{\text{ONO}} < 1.6$$

を満たすように、スリット幅d_F、膜厚d_{ONO}が形成される。

【0061】

そのため、スリット18A<0>、スリット18A<1>内部を絶縁膜19-2で完全に埋めることができるので、浮遊電極コーナー部25において制御電極に関して電界集中が起こらない。従って、電荷保持特性が向上し、電荷保持不良率をほぼ0%とすることが出来る。

【0062】

また、このように同一の絶縁膜を用いて、同時に電極間及びスリットを埋めることが出来るので、製造コストを削減し、製造速度を向上することが出来る。

【0063】

上述のように、電極間絶縁膜及びスリット内に埋め込まれるスリット絶縁膜を同一の絶縁膜を用いて、同時に製造する工程となっている。しかし、スリット $18\text{A}<0>$ 、スリット $18\text{A}<1>$ を埋める目的のみで、酸化膜、シリコンナイトライド膜などの絶縁膜をまず堆積し、全面をRIE法でエッチングし、もしくはCMP法で浮遊電極間絶縁膜以外の絶縁膜を除去し、その後で、制御電極 $\text{CG}<0>$ 、 $\text{CG}<1>$ と浮遊電極 $\text{FG}<00>\sim\text{FG}<11>$ の電極間絶縁膜を、それと異なる絶縁膜を用いて堆積することも可能である。

【0064】

このように、電極間絶縁膜とスリット絶縁膜を別々の工程で堆積する場合は、前述の実施形態で示したスリット幅 d_F と電極間の膜厚 d_{ONO} の関係式を満足しない大きいスリット幅を持つ場合でも電荷保持率を低下させることはない。このように別々に堆積する工程では、スリット $18\text{A}<0>$ 、スリット $18\text{A}<1>$ 内をスリットの幅にかかわらずに完全に絶縁膜で埋めることができるので、制御電極がこのスリット内に入り込むことがなく、制御電極と対向する浮遊電極コーナー部25において電界集中が発生しない。そのため、電荷保持特性を向上することが出来る。

【0065】

[第2の実施形態]

図7及び図8を用いて本発明に係る第2の一実施形態を説明する。以下の実施形態の説明において、上記第1の実施形態と同様の部分の説明は省略する。

【0066】

図7は図1に対応して制御電極 CG （多結晶シリコン膜20及びWSi膜21）の配線長手方向に沿って形成された複数の不揮発性記憶素子MCの断面図である。図8は図7で示す不揮発性記憶素子MCの製造方法の一例を説明するための断面図である。

【0067】

図7に示すように、STI埋め込み材であるシリコン酸化膜17の上面の略中央部に、例えばスリットの幅 d_F が80nm程度のスリット 18A が形成される。スリット 18A の内部には、低誘電率を有するシリコン酸化膜31が形成され

る。

【0068】

多結晶シリコン膜18と多結晶シリコン膜20の間に制御電極CGの長手方向に沿って、アルミナ(Al_2O_3)膜32が形成される。このアルミナ膜32は、少なくとも上記低誘電率を有するシリコン酸化膜31の誘電率よりも、高い誘電率を有する絶縁材料である。

【0069】

このように、本実施形態ではスリット18A内部に形成される絶縁膜と、浮遊電極FGと制御電極CGの間に形成される絶縁膜とが別個の材料で形成され、各絶縁膜の誘電率が相違するように形成される。

【0070】

まず、スリット18A内部に形成される絶縁膜と浮遊電極FGと制御電極CGの間に形成される絶縁膜とが別個に形成されることにより、スリット幅が広くてもスリット18A内部を完全に絶縁膜で埋め込むが出来る。そのため、スリット18A内部に制御電極CGが入り込むことはない。その結果、第1の実施形態と同様に浮遊電極コーナー部25に電界が集中することを回避し、電荷保持特性を向上することが出来る。

【0071】

更に各絶縁膜の誘電率が相違するように形成される。つまり、スリット18A内部には、誘電率の低い絶縁材料であるシリコン酸化膜32が充填されるように形成される。そのため、制御電極CGに沿って隣接する浮遊電極FG相互の容量結合によるデータの干渉効果も最小限に抑制するが出来る。ここで、浮遊電極FG相互の容量結合によるデータ干渉効果とは、浮遊電極FGの電気的状態により隣接する浮遊電極FGのスレッシュホールド電圧が影響を受ける効果をいう。例えば、浮遊電極FGに電子が注入されているか否かで、隣接する浮遊電極FGのスレッシュホールド電圧等が影響を受けることをいう。従って、この効果が大きいと各不揮発性記憶素子MCのスレッシュホールド電圧の制御性が低下する。しかし、スリット18A内部には誘電率の低い絶縁材料であるシリコン酸化膜32が形成される。よって、隣接する浮遊電極FG間の電気的作用を最小限に抑

えることが出来る。その結果、上記データ干渉効果を最小限に抑制することが出来、各不揮発性記憶素子MCの信頼性を向上することが出来る。

【0072】

さらに、多結晶シリコン層18と多結晶シリコン層20との間に形成される絶縁膜は、誘電率の高い絶縁材料であるアルミナ膜32により形成される。従って、浮遊電極FGと制御電極CG間の容量結合が高くなる。その結果、制御電極CGに印加される書き込み、読み出し時の制御電圧を低減することが出来る。

【0073】

尚、前記スリット18A内部に形成されるスリット絶縁膜は、なるべく誘電率の低い絶縁材料が望ましい。従って通常の熱酸化により形成されたシリコン酸化膜よりも、例えば塗布法により堆積形成されるシリコン酸化膜等により形成されることが望ましい。しかし、誘電率が低い材料であればシリコン絶縁膜31に限らず、他の絶縁材料によっても適用可能である。

【0074】

さらに、多結晶シリコン膜20と多結晶シリコン膜18との間に形成される絶縁材料は Al_2O_3 （アルミナ）膜32の他、例えば Ta_2O_5 （タンタルオキサイド）膜等を適用することが出来る。浮遊電極FGの電荷が制御電極CGにリークしないように十分な絶縁性を有していることが求められていることを考慮すると、現状の技術においては Al_2O_3 （アルミナ）膜32の方がより好ましい。さらに、高誘電率の膜でリーク電流が一定の値以下であればよいことを考慮すると、例えばシリコン窒化膜等でも適用可能である。この場合、例えばJVD（Jet Vapor Deposition）法を用いたリーク電流の少ない堆積方法を用いたシリコン窒化膜等が適用される。また、これら誘電率の高い単層の膜を用いる場合に比較すると浮遊電極FGと制御電極CG間の容量結合は小さくはなるが、ONO絶縁膜（酸化膜／窒化膜／酸化膜）等の複数層構造の膜を用いることも可能である。

【0075】

以下、図8（a）乃至図8（c）を用いて、図7で示した不揮発性半導体記憶装置の製造工程の一例を説明する。

【0076】

先ず、図8（a）において、第1の実施形態と同様の方法により、シリコン基板11の主表面上に、シリコン酸化膜12、多結晶シリコン膜13、シリコンナイトライド膜14、シリコン酸化膜15、シリコン酸化膜16、及びSTI埋め込み材となるシリコン酸化膜17を形成する。

【0077】

次に、図8（b）において、減圧CVD法によりリンが添加されて浮遊電極となる多結晶シリコン膜18を堆積する。さらに、この多結晶シリコン膜18をRIE法によりフォトレジストのマスクを用いて加工し、シリコン酸化膜17の上面の略中央にスリット18Aを形成する。この時、スリット18Aのスリット幅は例えば80nm程度である。さらに、例えば塗布法を用いてスリット18Aの内部に低誘電率の低誘電率を有するシリコン酸化膜31を形成する。

【0078】

次に、図8（c）において、例えばCVD法によりアルミナ膜32を形成する。以下、第1の実施形態と同様の製造工程により、図7で示した不揮発性半導体記憶装置を形成することが出来る。

【0079】

[第3の実施形態]

図9及び図10を用いて本発明に係る第3の一実施形態を説明する。

【0080】

図9は制御電極CGの配線長手方向に沿って形成された複数の不揮発性記憶素子MCの断面図である。図10は図9で示す不揮発性記憶素子MCの製造方法の一例を説明するための断面図である。

【0081】

図9に示すように、STI埋め込み材であるシリコン酸化膜17の上面の略中央部に、スリットの幅d_Fが例えば10nm程度のスリット18Aが形成される。スリット18Aの内部には低誘電率を有するシリコン酸化膜33が形成され、さらに多結晶シリコン膜20と多結晶シリコン膜18の間にも同一のシリコン酸化膜33が薄い膜厚で形成され、両者は一体として形成される。ここで、多結晶

シリコン膜20と多結晶シリコン膜18との間に形成されるシリコン酸化膜33の膜厚は、例えば5~6nm程度である。

【0082】

上記シリコン酸化膜33の上面には、アルミナ膜34が形成される。上記と同様にアルミナ膜34は高い誘電率を持つ絶縁材料である。

【0083】

スリット18Åの内部及び多結晶シリコン膜20と多結晶シリコン膜18の間に、シリコン酸化膜33が薄い膜厚で形成され、両者は一体として形成される。このように、スリット18Å内部は誘電率の低い絶縁材料であるシリコン酸化膜20で埋められる。その結果、電荷保持特性を向上し、上記浮遊電極FG相互のデータ干渉効果を最小限にすることが出来る。

【0084】

多結晶シリコン膜20と多結晶シリコン膜18との間にも、低誘電率のシリコン酸化膜33が薄い膜厚で形成される。その結果、浮遊電極コーナー部25における電界集中を回避し、電荷保持特性をさらに向上することが出来る。

【0085】

上記薄く形成されたシリコン酸化膜33の上面には、高い誘電率を持つアルミナ膜34が形成される。その結果、浮遊電極FGと制御電極CG間の容量結合を高くすることにより、書き込み、読み出し時の制御電極CGに印加される動作電圧を低減することが出来る。

【0086】

さらに、多結晶シリコン20と多結晶シリコン18との間に形成されたシリコン酸化膜33の膜厚は、アルミナ膜34の膜厚に比べ薄く形成される。その結果、上記動作電圧を低減する効果と電荷保持特性を向上する効果とを両立することが出来る。

【0087】

さらに、多結晶シリコン膜20と多結晶シリコン膜18との間に形成されるシリコン酸化膜33の膜厚は、例えば5~6nm程度である。従って、スリット18Åの幅d_Fが例えば10nm程度といった極めて小さな寸法の場合であっても

スリット18A内部を埋め込むことが出来る。その結果、不揮発性記憶素子を高密度で配置できるとともに、電荷保持特性が向上し、隣接浮遊電極FG相互のデータ干渉効果を最小限にすることが出来る。このように、極めて小さい寸法においても有効な構造である。

【0088】

尚、上記と同様にシリコン酸化膜33は、なるべく誘電率の低い絶縁材料が望ましく、例えば塗布法により堆積形成されるシリコン酸化膜等でも適用可能である。さらに誘電率が低い材料であれば、他の絶縁材料によっても適用可能である。

【0089】

薄く形成されたシリコン酸化膜33の上面に形成されたアルミナ膜34においても同様に、例えばTa₂O₅(タンタルオキサイド)膜、シリコン窒化膜、ONO絶縁膜等を用いることも可能である。

【0090】

以下、図10(a)乃至図10(c)を用いて、図9で示した不揮発性半導体記憶装置の製造工程の一例を説明する。

【0091】

先ず、図10(a)において、第1の実施形態と同様の方法により、シリコン基板11の主表面上に、素子分離領域となる溝17Aを形成した後、シリコン酸化膜12、多結晶シリコン膜13、シリコンナイトライド膜14、シリコン酸化膜15、シリコン酸化膜16、及びSTI埋め込み材となるシリコン酸化膜17を順次形成する。

【0092】

次に、図10(b)において、CMP法によりシリコン酸化膜17を平坦化し、900°C程度の窒素雰囲気中で加熱する。さらに、バッファードHF溶液に10sec程度浸して、150°C程度のリン酸処理によりシリコンナイトライド膜14を除去する。次に、ディリュートHF溶液でシリコン酸化膜17を20nm程度エッチングする。さらに、減圧CVD法によりリンが添加されて浮遊電極となる多結晶シリコン膜18を堆積する。さらに、この多結晶シリコン膜18をRI

E法によりをフォトレジストのマスクを用いて加工し、シリコン酸化膜17の上面の略中央にスリット18Aを形成する。この時、スリット18Aのスリット幅は例えば10nm程度である。さらに、例えばCVD法を用いてスリット18Aの内部及び多結晶シリコン膜18の上面に、スリット18A内部を埋め込む工程なく同時に、低誘電率の低誘電率を有するシリコン酸化膜33を形成する。

【0093】

次に、図10(c)において、例えばCVD法によりアルミナ膜34を形成する。以下、第1の実施形態と同様の製造工程により、図9で示した不揮発性半導体記憶装置を形成することが出来る。

【0094】

この一実施形態に係る製造方法では、例えばCVD法を用いてスリット18Aの内部及び多結晶シリコン膜18の上面に、スリット18A内部を埋め込むとともに、低誘電率の低誘電率を有するシリコン酸化膜33を形成する。従って、スリット18A内部を別に埋め込む工程を省略すること出来る。

【0095】

尚、以上第1乃至第3の実施形態において、浮遊電極FGは多結晶シリコン膜13と、その上面に形成されシリコン酸化膜16上のスリット18Aまでその両端が張り出した多結晶シリコン膜18により形成される。このように、多結晶シリコン膜18がスリット18Aまで張り出していることにより、制御電極CGとの対向面積を大きくとる事が出来る。その結果、容量結合比を大きくすることが出来る。

【0096】

[第4の実施形態]

図11及び図12を用いて本発明に係る第4の一実施形態を説明する。

【0097】

図11は制御電極CGの配線長手方向に沿って形成された複数の不揮発性記憶素子の断面図である。図12は図11で示す不揮発性記憶素子MCの製造方法の一例を説明するための断面図である。

【0098】

図11に示すように、素子領域にシリコン酸化膜12の上に浮遊電極FGとなる多結晶シリコン膜13が形成される。浮遊電極FGはこの多結晶シリコン膜13のみで形成される。さらに、素子分離領域となる溝17Aの内部には、STI埋め込み材である低誘電率のシリコン酸化膜35が形成される。この素子分離領域となる溝17Aの幅は、例えば60nm程度である。さらに、制御電極CGに沿って上記多結晶シリコン膜13及びシリコン酸化膜35の上面に、アルミナ膜36が形成される。上記と同様に、アルミナ膜36は高い誘電率を持つ絶縁材料である。

【0099】

図11に示すように、多結晶シリコン膜13のみによって浮遊電極FGが形成される。これに対して、上記第1乃至第3の実施形態に係る浮遊電極FGは、多結晶シリコン13と、その上面に形成されシリコン酸化膜16のスリット18Aまでその両端が張り出した多結晶シリコン18により形成される。しかし、制御電極CGに沿って隣接する不揮発性記憶素子CMの間隔が微細化により小さくなると、上記のような構成をとることが困難となる場合がある。上記の間隔が小さくなると、制御電極CGに沿って隣接する不揮発性記憶素子間の絶縁性を十分に確保できない場合があるからである。

【0100】

しかし本実施形態においては、多結晶シリコン膜13は素子領域となる低誘電率のシリコン酸化膜35により分離され、このシリコン酸化膜35の上面に張り出すということはない。そのため微細化により、隣接する不揮発性記憶素子MCの間隔が小さくなった場合であっても、隣接する不揮発性記憶素子間の絶縁を十分に確保することが出来る。

【0101】

素子分離領域となる溝17Aの内部には、STI埋め込み材である低誘電率のシリコン酸化膜35が形成される。そのため、隣接する浮遊電極間だけでなく、浮遊電極と活性領域となるソース／ドレイン領域（図示せず）間、及びソース領域とドレイン領域（図示せず）間の結合容量を低減することが出来る。その結果、隣接不揮発性記憶素子間における上記干渉効果を低減することが出来る。

【0102】

尚、上記と同様に低誘電率のシリコン酸化膜35は、できるだけ誘電率の低い絶縁材料が望ましく、例えば塗布法により堆積形成されるシリコン酸化膜等でも適用可能である。さらに誘電率が低い材料であれば、他の絶縁材料によっても適用可能である。

【0103】

さらに上記シリコン酸化膜35の上面に形成されたアルミナ膜36においても同様に、誘電率の高い絶縁材料であることが望ましい。従って、例えばTa₂O₅（タンタルオキサイド）膜、シリコン窒化膜、ONO絶縁膜等を用いることが可能である。

【0104】

以下、図12(a)乃至図12(c)を用いて、図11で示した不揮発性半導体記憶装置の製造工程の一例を説明する。

【0105】

先ず、図12(a)において、第1の実施形態と同様の方法により、シリコン基板11の主表面上に、素子分離領域となる溝17Aを形成した後、シリコン酸化膜12、多結晶シリコン膜13、シリコンナイトライド膜14、シリコン酸化膜15、及びシリコン酸化膜16を順次形成する。その後、例えば塗布法（もししくはCVD法）によりSTI埋め込み材となる低誘電率のシリコン酸化膜35を形成する。

【0106】

次に、図12(b)において、例えばCMP法により低誘電率のシリコン酸化膜35をシリコンナイトライド膜14の表面まで平坦化し、その後900°C程度の窒素雰囲気中で加熱する。さらに、バッファード(Buffered)HF溶液に浸して、150°C程度のリン酸処理によりシリコンナイトライド膜14を除去する。次に、ディリュート(Dilute)HF溶液で低誘電率のシリコン酸化膜35を後退させる。

【0107】

次に、図12(c)において、例えばCVD法によりアルミナ膜36を多結晶

シリコン13及び低誘電率のシリコン酸化膜35の上面に形成する。以下、第1の実施形態と同様の製造工程により、図11で示した不揮発性半導体記憶装置を形成することが出来る。

【0108】

この一実施形態に係る製造方法では、STI埋め込み材と隣接する浮遊電極FGとを分離する絶縁膜とを同時に低誘電率のシリコン酸化膜35により形成する。そのため、製造工程が簡略化し、製造コストを削減することが出来る。

【0109】

また、浮遊電極FGは多結晶シリコン13のみにより形成される。そのため、製造工程を簡略化し、製造コストを削減することが出来る。

【0110】

[第5の実施形態]

図13及び図14を用いて本発明に係る第5の一実施形態を説明する。

【0111】

図13は制御電極CGの配線長手方向に沿って形成された複数の不揮発性記憶素子の断面図である。図14は図13で示す不揮発性記憶素子の製造方法の一例を説明するための断面図である。

【0112】

図13に示すように、素子領域分離領域となる溝17Aの内部に低誘電率のシリコン酸化膜35が形成される。上記と同様に、シリコン酸化膜35は低い誘電率を持つ絶縁材料である。多結晶シリコン膜13の表面上に、シリコン酸化膜3の内部に制御電極CGの方向に沿って両端部が張り出した多結晶シリコン膜37が形成される。この多結晶シリコン膜37及び多結晶シリコン膜13の二層により浮遊電極が形成される。さらに、低誘電率のシリコン酸化膜35及び多結晶シリコン膜37の表面上に制御電極CGの方向に沿って、アルミナ膜36が形成される。上記と同様に、アルミナ膜36は高い誘電率を持つ絶縁材料である。

【0113】

上記多結晶シリコン膜37は、多結晶シリコン膜13の表面上にシリコン酸化膜3の内部に制御電極CGの方向に沿って両端部が張り出した形状で形成される

。よって、制御電極C Gとの対向面積を大きくとる事が出来る。その結果、容量結合比が増大することにより、制御電極C Gに印加する閾値電圧を低減することが出来る。

【0114】

素子領域分離領域となる溝17Aの内部に低誘電率のシリコン酸化膜35が形成される。従って、隣接する浮遊電極F Gの結合容量を低減することが出来る。

【0115】

シリコン酸化膜35及び多結晶シリコン膜37の表面上に制御電極C Gの方向に沿って、高い誘電率を有するアルミナ膜36が形成される。その結果、制御電極C Gと浮遊電極F Gとの結合容量が増大することにより、制御電極C Gに印加する閾値電圧を低減することが出来る。

【0116】

尚、上記と同様に低誘電率のシリコン酸化膜35は、誘電率の低い絶縁材料が望ましく、例えば塗布法により堆積形成されるシリコン酸化膜等でも適用可能である。さらに誘電率が低い材料であれば、他の絶縁材料によっても適用可能である。

【0117】

さらに上記シリコン酸化膜35の上面に形成されたアルミナ膜36においても同様に、誘電率の高い絶縁材料であることが望ましい。従って、例えばTa₂O₅（タンタルオキサイド）膜、シリコン窒化膜、ONO絶縁膜等を用いることが可能である。

【0118】

以下、図14（a）乃至図14（c）を用いて、図13で示した不揮発性半導体記憶装置の製造工程の一例を説明する。

【0119】

先ず、図14（a）において、上記第1の実施形態と同様の方法により、シリコン基板11の主表面上に、素子分離領域となる溝17Aを形成した後、シリコン酸化膜12、多結晶シリコン膜13、シリコンナイトライド膜14、シリコン酸化膜15、及びシリコン酸化膜16を順次形成する。その後、例えば塗布法に

よりSTI埋め込み材となる低誘電率のシリコン酸化膜35を形成する。

【0120】

次に、図14（b）において、例えばCMP法によりシリコンナイトライド膜14をストッパとして用い、低誘電率のシリコン酸化膜35を平坦化し、シリコンナイトライド膜14の表面まで平坦化し、その後900°C程度の窒素雰囲気中で加熱する。さらに、バッファード(Buffered)HF溶液に浸して、150°C程度のリン酸処理によりシリコンナイトライド膜14を除去する。

【0121】

次に、図14（c）において、ディリュート(Dilute)HF溶液で低誘電率のシリコン酸化膜35を等方的に後退させる。

【0122】

さらに、例えばCVD法により多結晶シリコン膜37を全面に堆積形成する。さらに、例えばCMP法によりシリコン酸化膜35及び多結晶シリコン膜37を平坦化する。

【0123】

次に、図14（d）において、例えばCVD法によりアルミナ膜36を多結晶シリコン及び低誘電率のシリコン酸化膜35の上面に形成する。以下、第1の実施形態と同様の製造工程により、図13で示した不揮発性半導体記憶装置を形成することが出来る。

【0124】

この一実施形態に係る製造方法では、シリコン酸化膜35の中央部が残るようにシリコン酸化膜35の両端部を除去する。さらに、例えばCVD法により多結晶シリコン膜37を全面に堆積形成する。さらに、例えばCMP法によりシリコン酸化膜35及び多結晶シリコン膜37を平坦化する。このように、多結晶シリコン37の両端が張り出した構造を自己整合的に形成することが出来る。その結果、浮遊電極FGを分離する溝17Aの幅が狭い場合であっても、多結晶シリコン37張り出す構造を形成することが出来る。上記のように多結晶シリコン37が張り出す構造により、浮遊電極FGと制御電極CG間の容量結合を増大することが出来る。

【0125】

[第6の実施形態]

以下、図15及び図16を用いて本発明に係る第5の一実施形態を説明する。

【0126】

図15は制御電極CGの配線長手方向に沿って形成された複数の不揮発性記憶素子の断面図である。図16は図15で示す不揮発性記憶素子の製造方法の一例を説明するための断面図である。

【0127】

図15に示すように、素子領域分離領域となる溝17Aの内部に低誘電率のシリコン酸化膜38の上面が、隣接する多結晶シリコン膜18の上面よりも高くなるように形成される。シリコン酸化膜38は低い誘電率を持つ絶縁材料である。このシリコン酸化膜38及び多結晶シリコン膜18の表面上に制御電極CGの方向に沿って、アルミナ膜39が形成される。アルミナ膜39は高い誘電率を持つ絶縁材料である。

【0128】

素子領域分離領域となる溝17Aの内部に低誘電率のシリコン酸化膜38の上面が、隣接する多結晶シリコン膜18の上面よりも高くなるように形成される。従って、溝17Aの内部に制御電極CGが入り込むことがない。その結果、浮遊電極の角での電界が集中することを回避することが出来る。さらに、シリコン酸化膜37は低誘電率の絶縁材料により形成される。従って、隣接する浮遊電極FG間の結合容量を低減することが出来る。以上のようなシリコン酸化膜38の構造により、不揮発性記憶素子の信頼性をより向上することが出来る。従って、溝17Aの幅が例えば100nm程度以下であっても適用することが出来る。

【0129】

さらに、シリコン酸化膜38及び多結晶シリコン膜18の表面上に制御電極CGの方向に沿って、高い誘電率を有するアルミナ膜36が形成される。その結果、制御電極CGと浮遊電極FGとの結合容量が増大することにより、制御電極CGに印加する電圧を低減することが出来る。

【0130】

尚、上記と同様に低誘電率のシリコン酸化膜35は、誘電率の低い絶縁材料が望ましく、例えば塗布法により堆積形成されるシリコン酸化膜等でも適用可能である。さらに誘電率が低い材料であれば、他の絶縁材料によっても適用可能である。

【0131】

さらに上記シリコン酸化膜35の上面に形成されたアルミナ膜36においても同様に、誘電率の高い絶縁材料であることが望ましい。従って、例えばTa₂O₅（タンタルオキサイド）膜、シリコン窒化膜、ONO絶縁膜等を用いることが可能である。

【0132】

以下、図16(a)乃至図16(c)を用いて、図15で示した不揮発性半導体記憶装置の製造工程の一例を説明する。

【0133】

先ず、図16(a)において、上記第1の実施形態と同様の方法により、シリコン基板11の主表面上に、素子分離領域となる溝17Aを形成した後、シリコン酸化膜12、多結晶シリコン膜13、シリコンナイトライド膜14、シリコン酸化膜15、及びシリコン酸化膜16を順次形成する。その後、例えば塗布法によりSTI埋め込み材となる低誘電率のシリコン酸化膜38を形成する。

【0134】

次に、図16(b)において、例えばCMP法によりシリコンナイトライド膜14をストップとして用い、低誘電率のシリコン酸化膜35を平坦化し、シリコンナイトライド膜14の表面まで平坦化し、その後900°C程度の窒素雰囲気中で加熱する。さらに、バッファード(Buffered)HF溶液に浸して、150°C程度のリン酸処理によりシリコンナイトライド膜14を除去する。

【0135】

次に、図16(c)において、例えばCVD法により多結晶シリコン膜18を全面に堆積形成する。さらに、例えばCMP法によりシリコン酸化膜38をストップとして、シリコン酸化膜38及び多結晶シリコン膜18を平坦化する。例えば全面RIE法により多結晶シリコン膜18の上部の一部を除去し落とし込む。

このようにして、シリコン酸化膜38の上面が多結晶シリコン膜18の上面よりも、上方にある構造を形成する。

【0136】

次に、図16(d)において、例えばCVD法によりアルミナ膜36を多結晶シリコン膜18及び低誘電率のシリコン酸化膜38の上面に形成する。以下、第1の実施形態と同様の製造工程により、図15で示した不揮発性半導体記憶装置を形成することが出来る。

【0137】

以上、第1乃至第6の実施の形態を用いて本発明の説明を行ったが、この発明は上記各実施の形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。また、上記各実施の形態には種々の段階の発明が含まれており、開示される複数の構成要件の適宜な組み合わせにより種々の発明が抽出され得る。例えば各実施の形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題の少なくとも1つが解決でき、発明の効果の欄で述べられている効果の少なくとも1つが得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

【0138】

【発明の効果】

以上詳述したように本発明によれば、電荷保持性の良い浮遊電極を有する不揮発性半導体記憶装置及びその製造方法を提供することが出来る。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態に係る、浮遊電極を有する不揮発性半導体記憶装置の断面構造を図3のI—I線に沿って切断して矢印方向に見た断面図。

【図2】

本発明の第1の実施形態に係る、浮遊電極を有する不揮発性半導体記憶装置の断面構造を図3のII-II線に沿って切断して矢印方向に見た断面図。

【図3】

本発明の第1の実施形態に係る、浮遊電極を有する不揮発性半導体記憶装置のレイアウトを模式的に示した平面図。

【図4】

本発明の第1の実施形態に係る、電荷保持特性不良率のスリット幅／膜厚依存性を示すグラフ。

【図5】

本発明の第1の実施形態に係る不揮発性半導体記憶装置の製造方法の一例を図1に示した断面構造に関して説明するための工程図。

【図6】

本発明の第1の実施形態に係る不揮発性半導体記憶装置の製造方法の一例を図2に示した断面構造に関して説明するための工程図。

【図7】

本発明の第2の実施形態に係る、浮遊電極を有する不揮発性半導体記憶装置の断面図。

【図8】

本発明の第2の実施形態に係る、不揮発性半導体記憶装置の製造方法の一例を図7の断面構造に関して説明するための工程図。

【図9】

本発明の第3の実施形態に係る、浮遊電極を有する不揮発性半導体記憶装置の断面図。

【図10】

本発明の第3の実施形態に係る、不揮発性半導体記憶装置の製造方法の一例を図9の断面構造に関して説明するための工程図。

【図11】

本発明の第4の実施形態に係る、浮遊電極を有する不揮発性半導体記憶装置の断面図。

【図12】

本発明の第4の実施形態に係る、不揮発性半導体記憶装置の製造方法の一例を図11の断面構造に関して説明するための工程図。

【図13】

本発明の第5の実施形態に係る、浮遊電極を有する不揮発性半導体記憶装置の断面図。

【図14】

本発明の第5の実施形態に係る、不揮発性半導体記憶装置の製造方法の一例を図14の断面構造に関して説明するための工程図。

【図15】

本発明の第6の実施形態に係る、浮遊電極を有する不揮発性半導体記憶装置の断面図。

【図16】

本発明の第6の実施形態に係る、不揮発性半導体記憶装置の製造方法の一例を図15の断面構造に関して説明するための工程図。

【図17】

従来の浮遊電極を有する不揮発性半導体記憶装置の断面図。

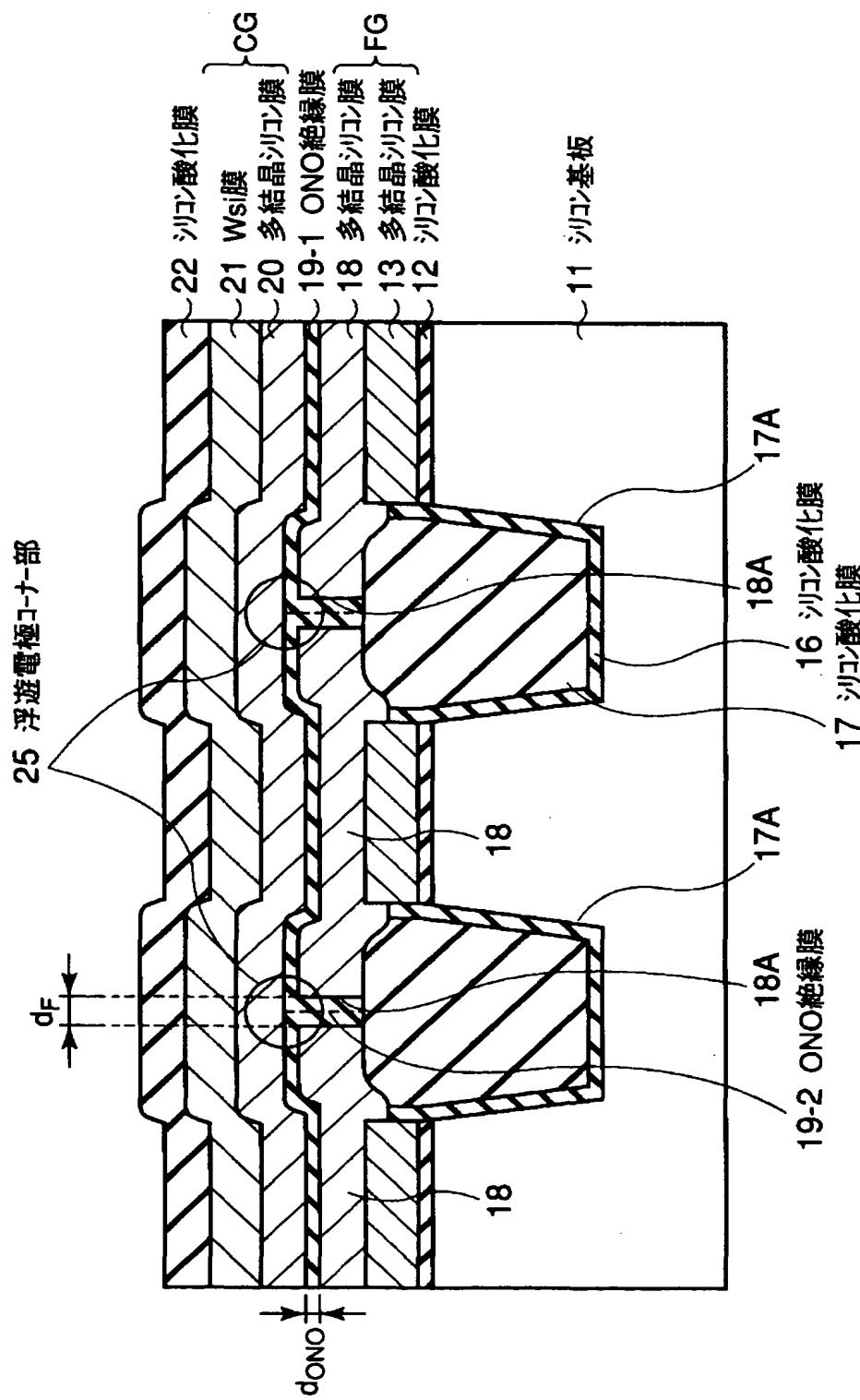
【符号の説明】

1 1 …シリコン基板、 1 2 …シリコン酸化膜、 1 3 …多結晶シリコン膜、 1 6 …シリコン酸化膜、 1 7 …シリコン酸化膜、 1 7 A …素子分離領域となる溝、 1 8 …多結晶シリコン膜、 1 8 A …スリット、 1 9 - 1, 1 9 - 2 …ONO絶縁膜、 2 0 …多結晶シリコン膜、 2 1 …WSi膜、 2 2 …シリコン酸化膜。

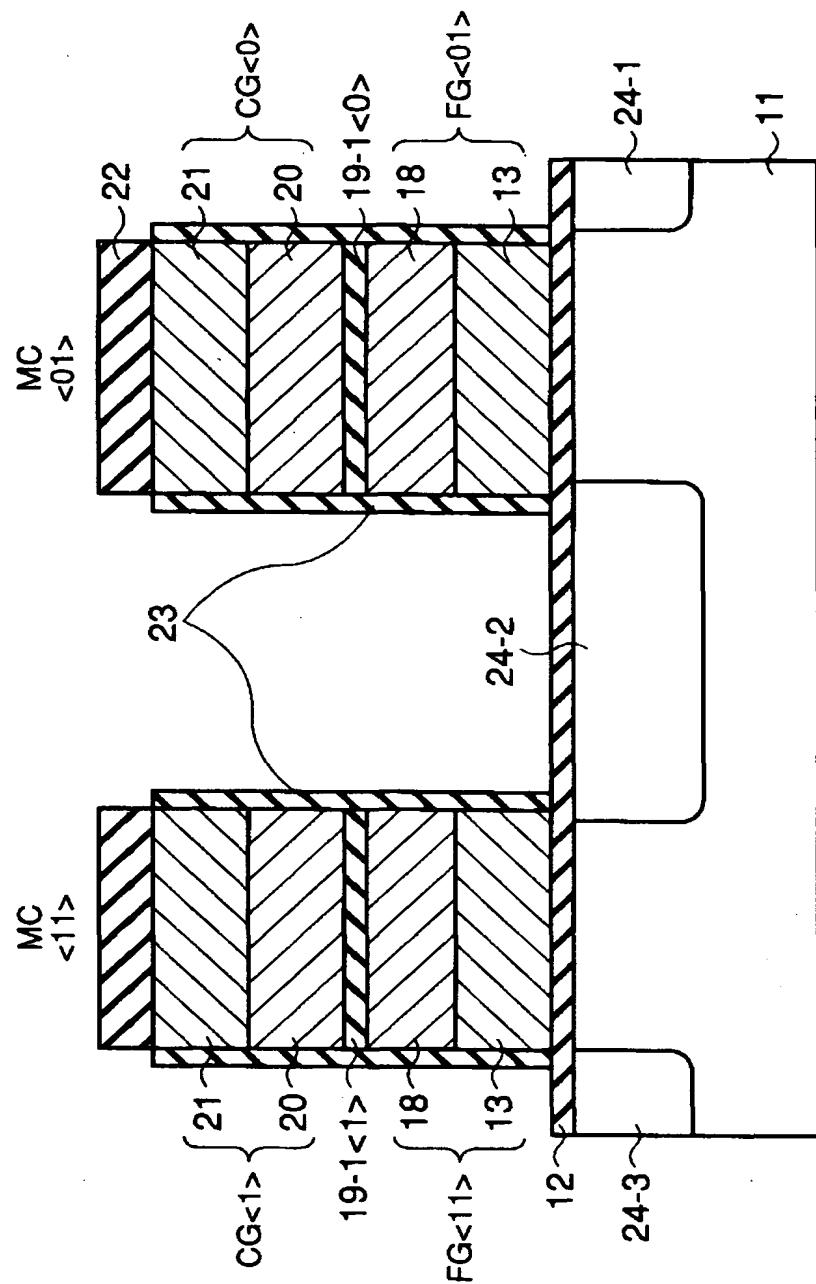
【書類名】

図面

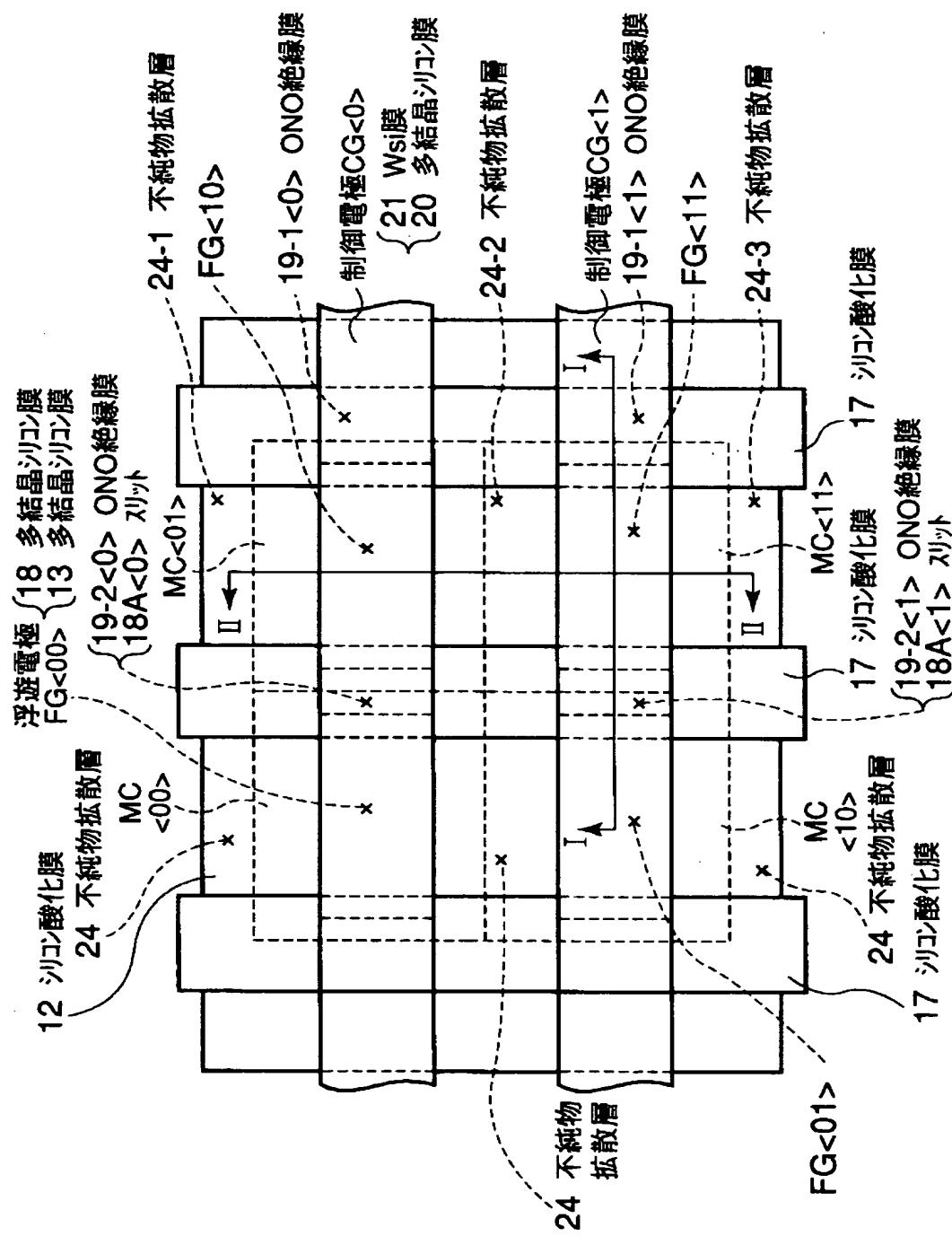
【図1】



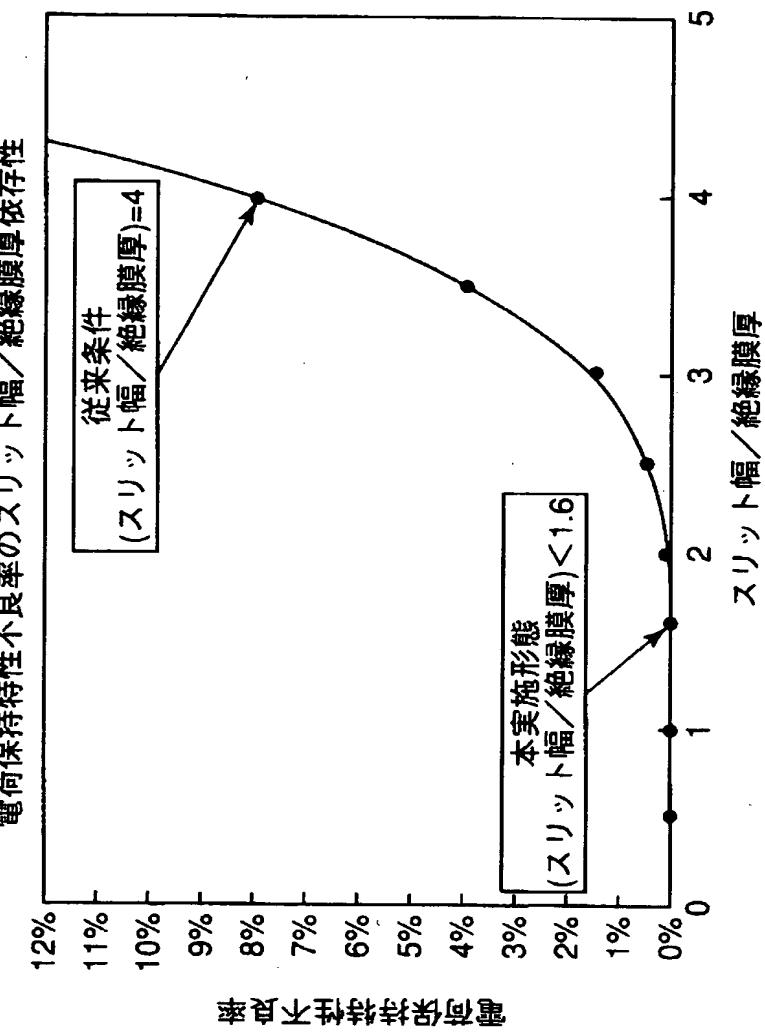
【図2】



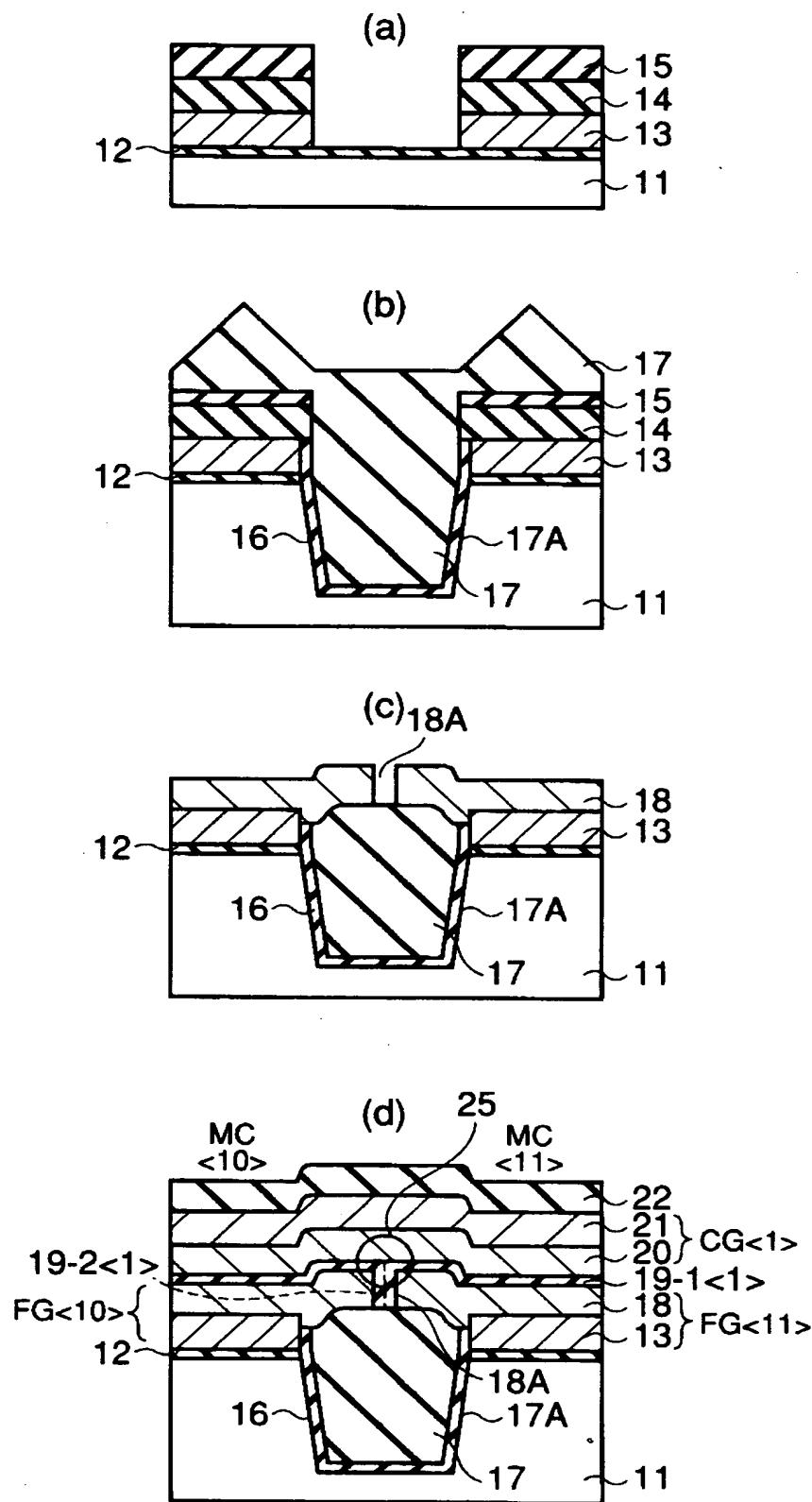
【図3】



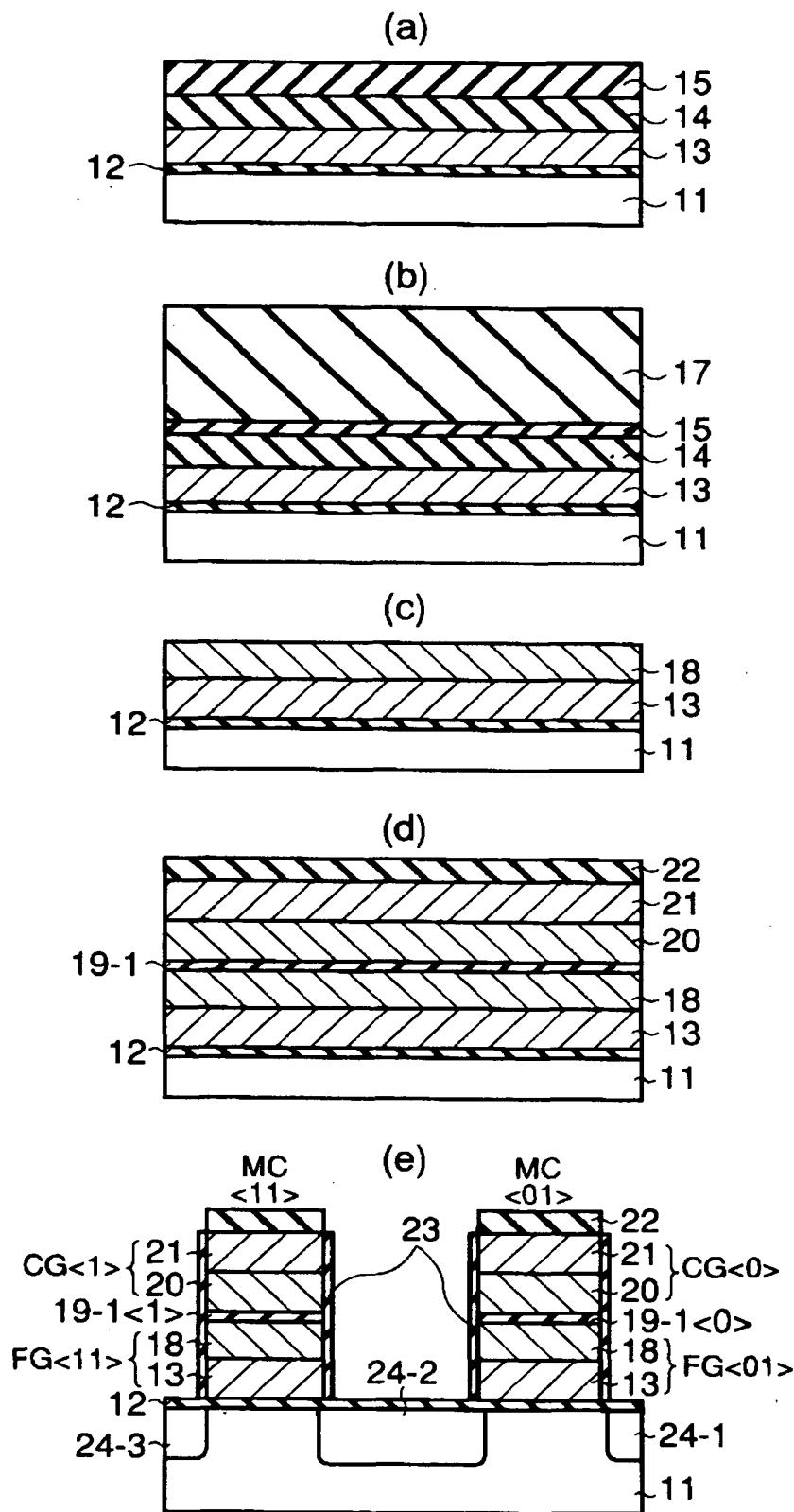
【図4】



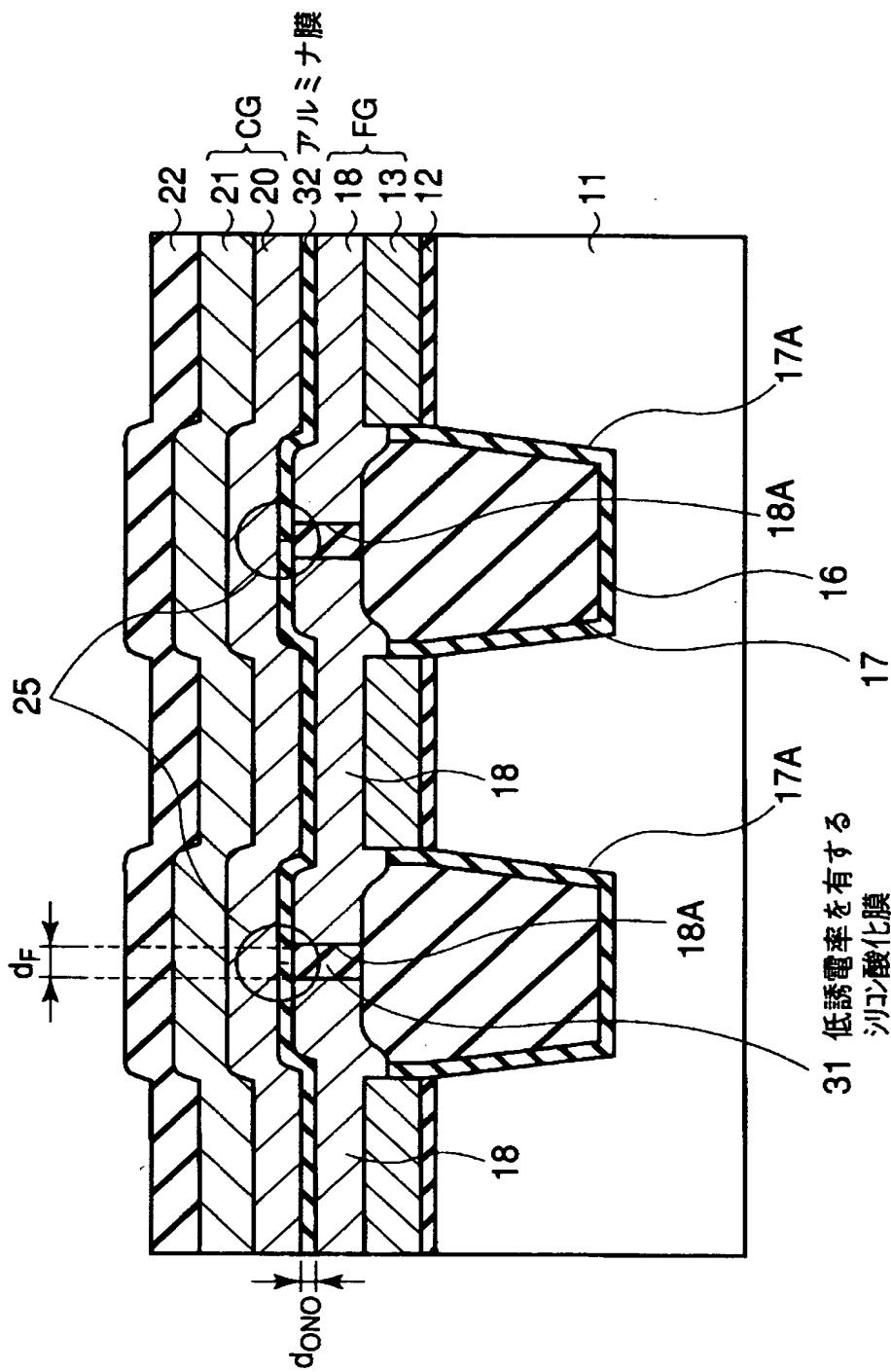
【図5】



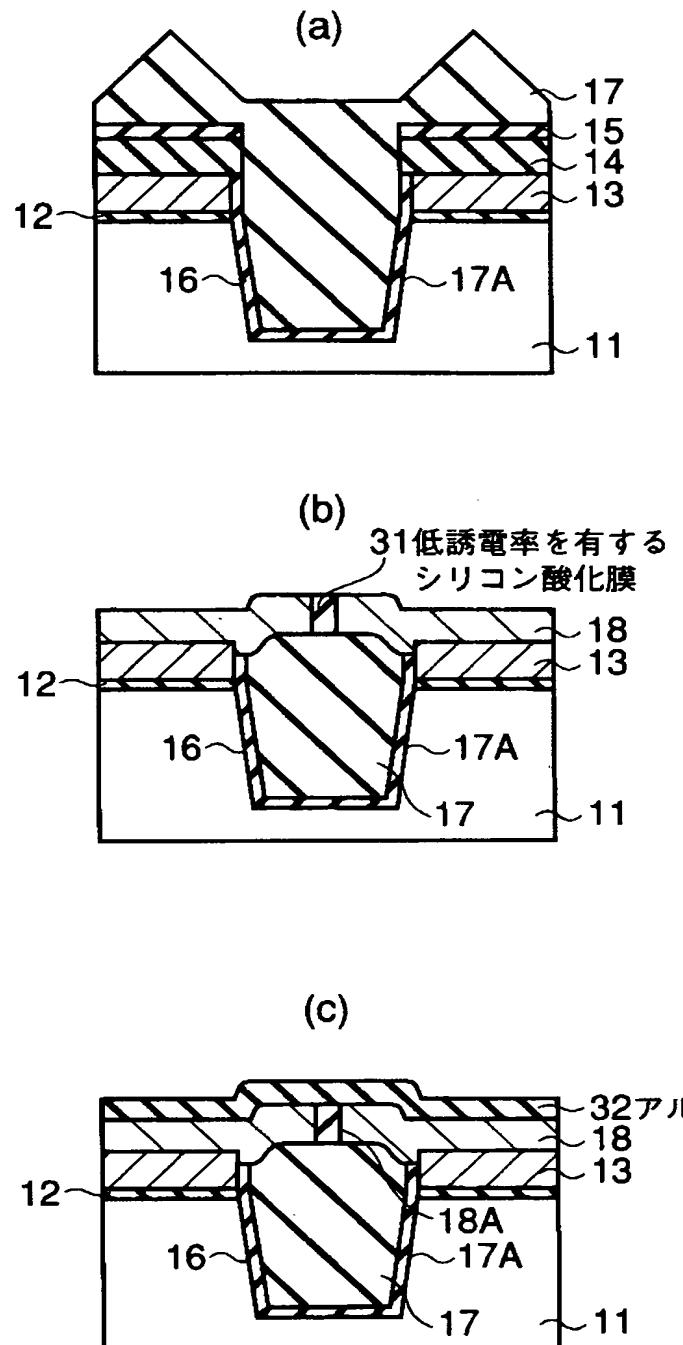
【図6】



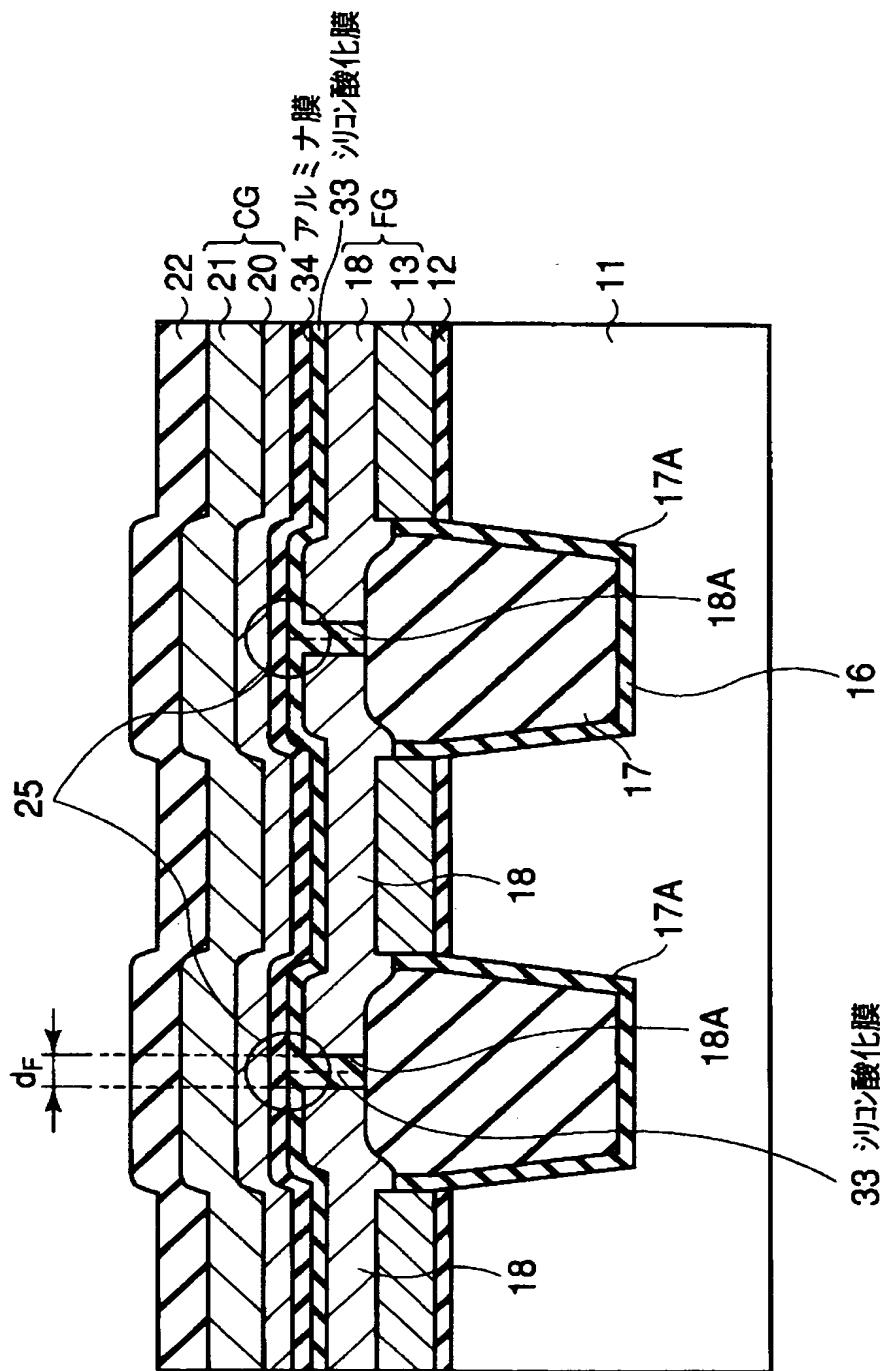
【図7】



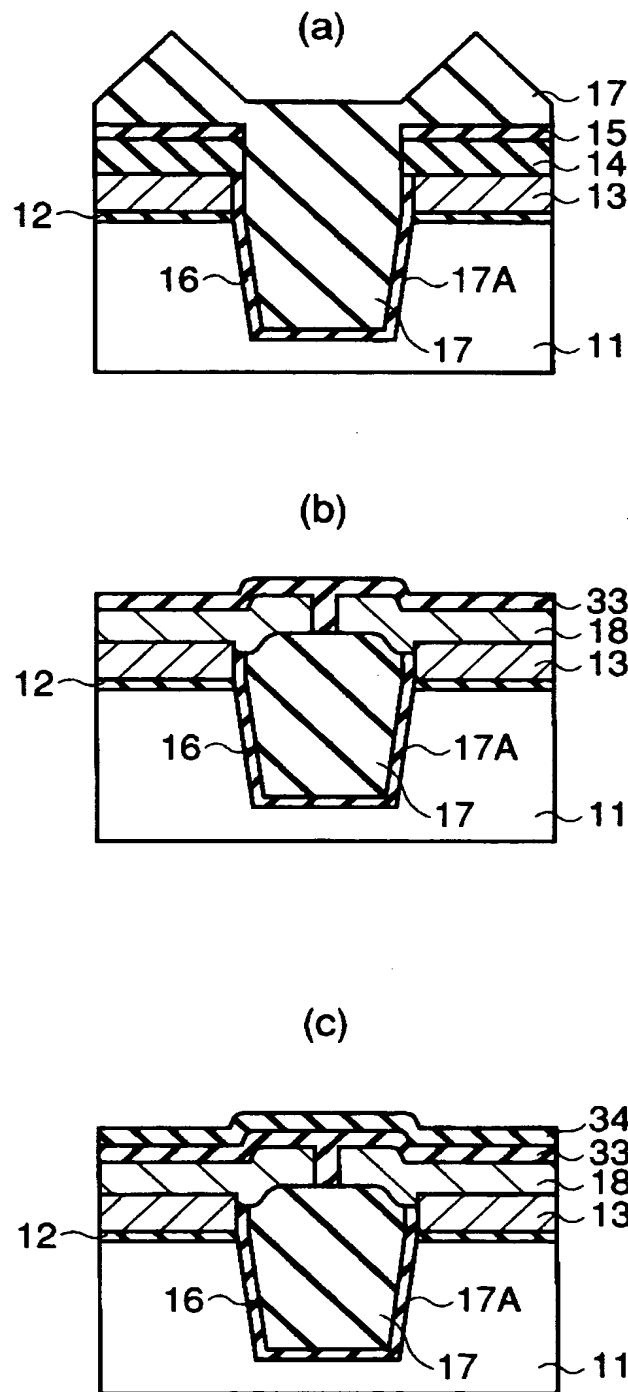
【図8】



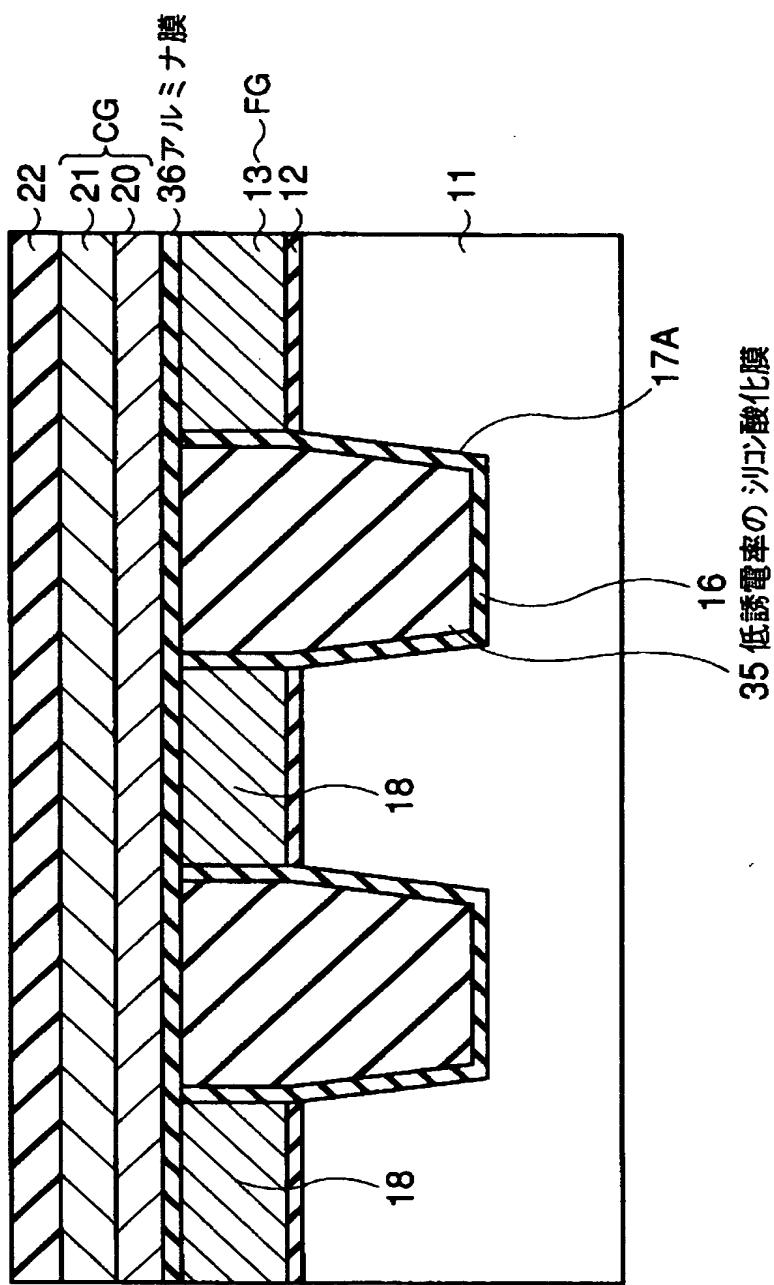
【図9】



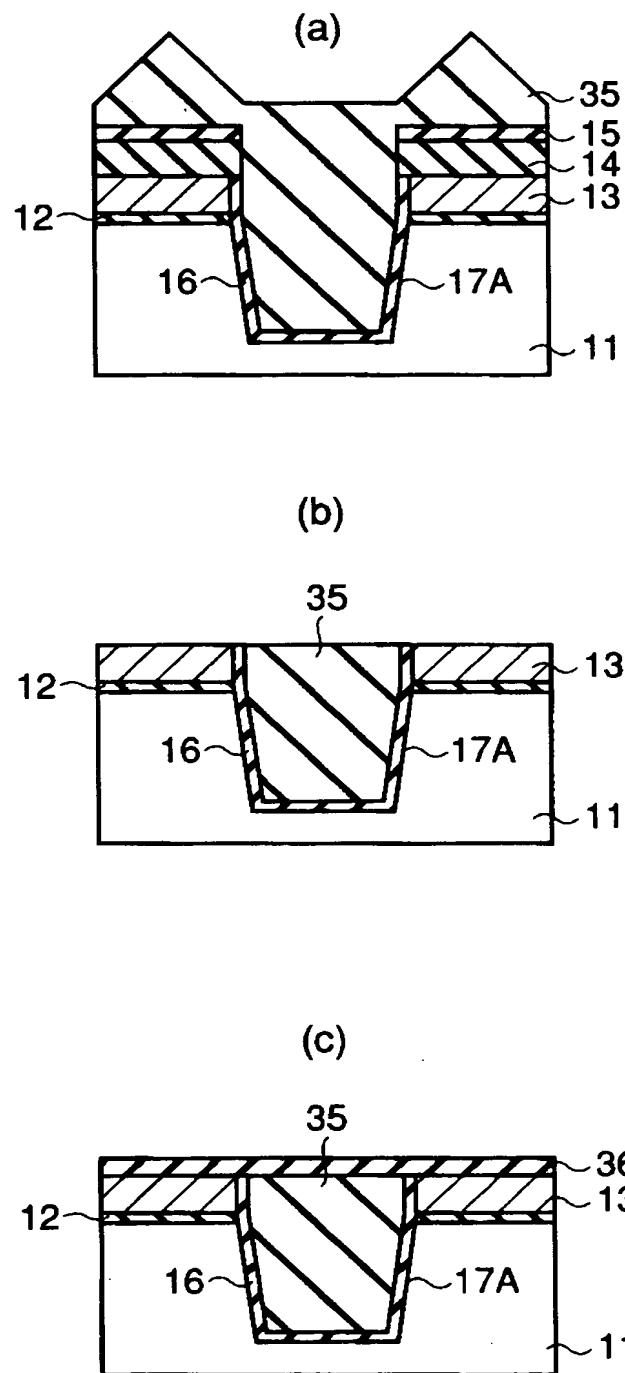
【図10】



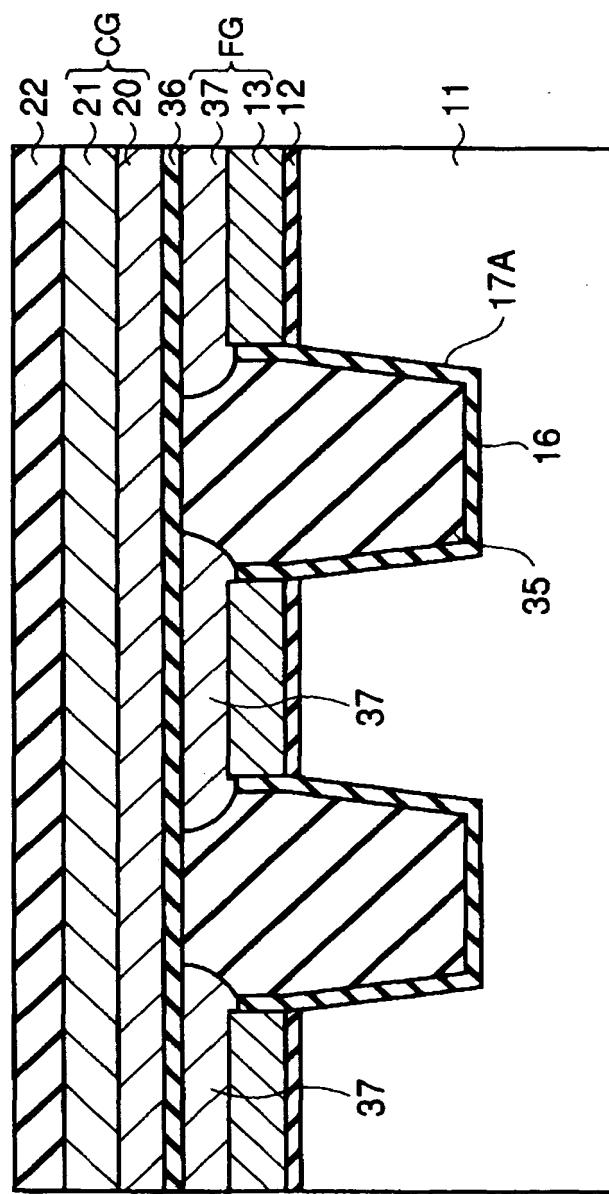
【図11】



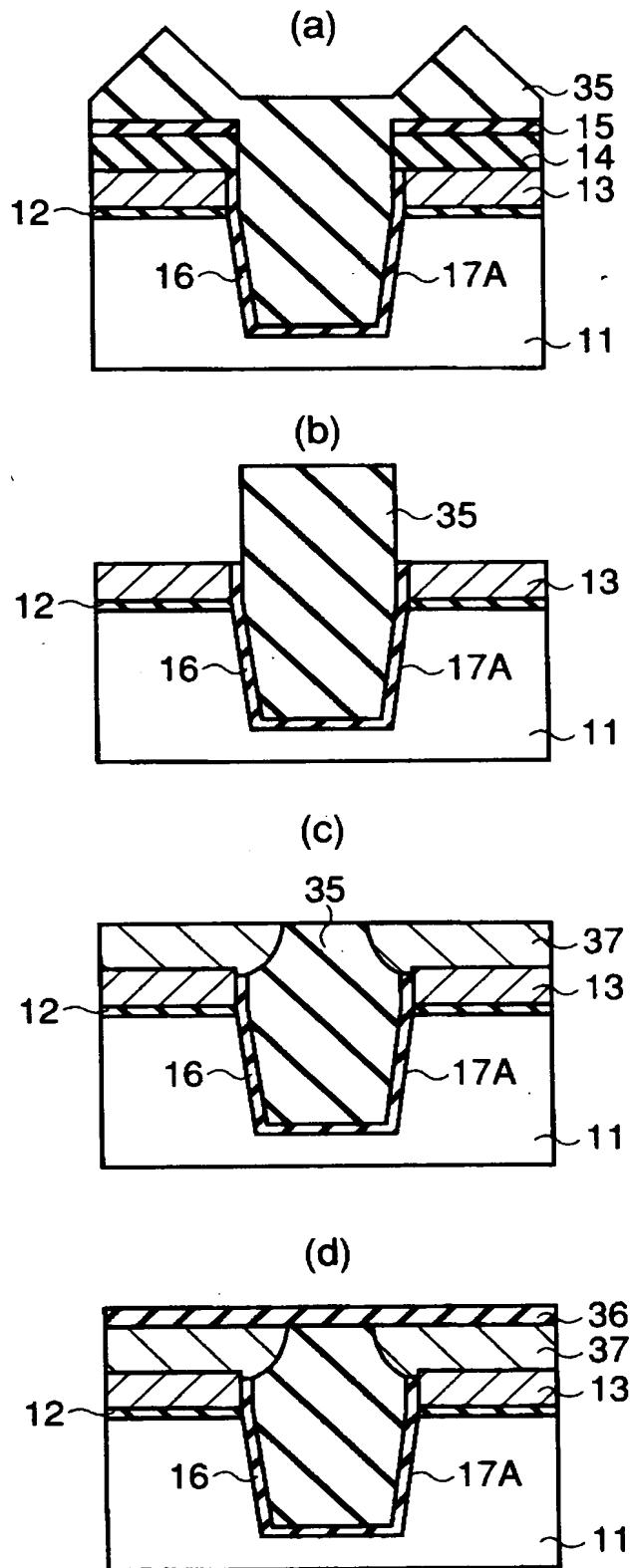
【図12】



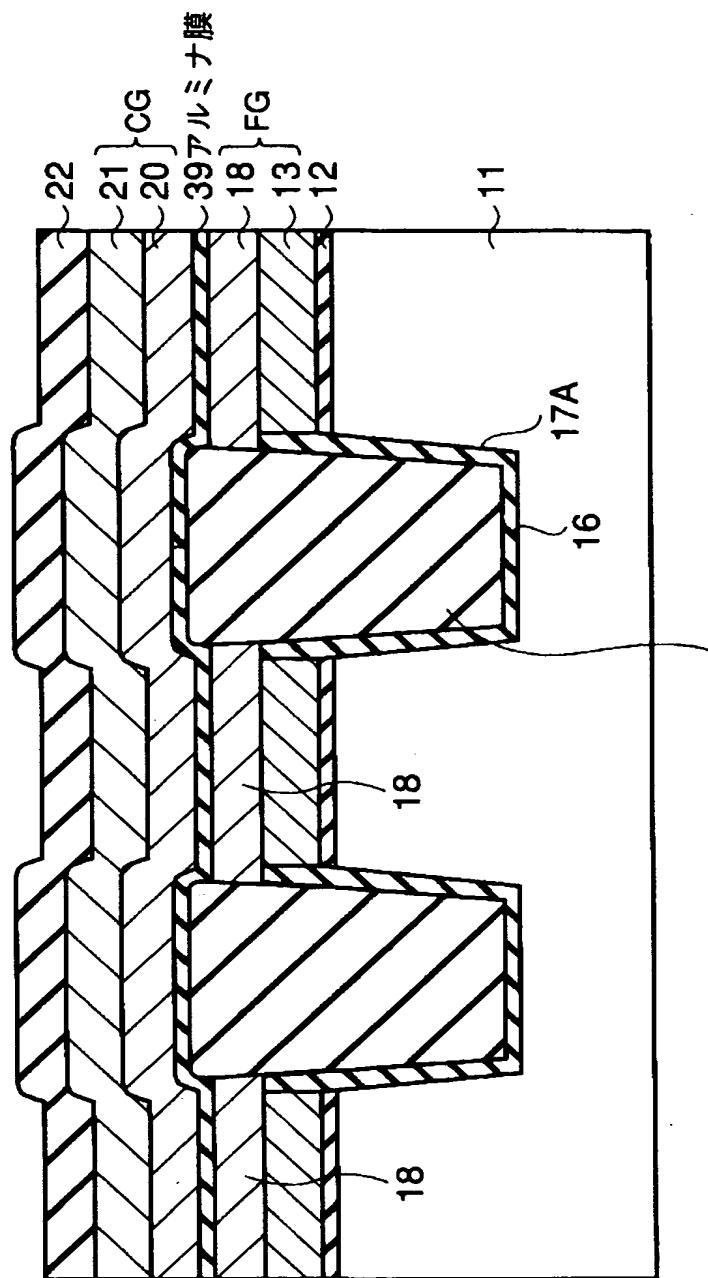
【図13】



【図14】

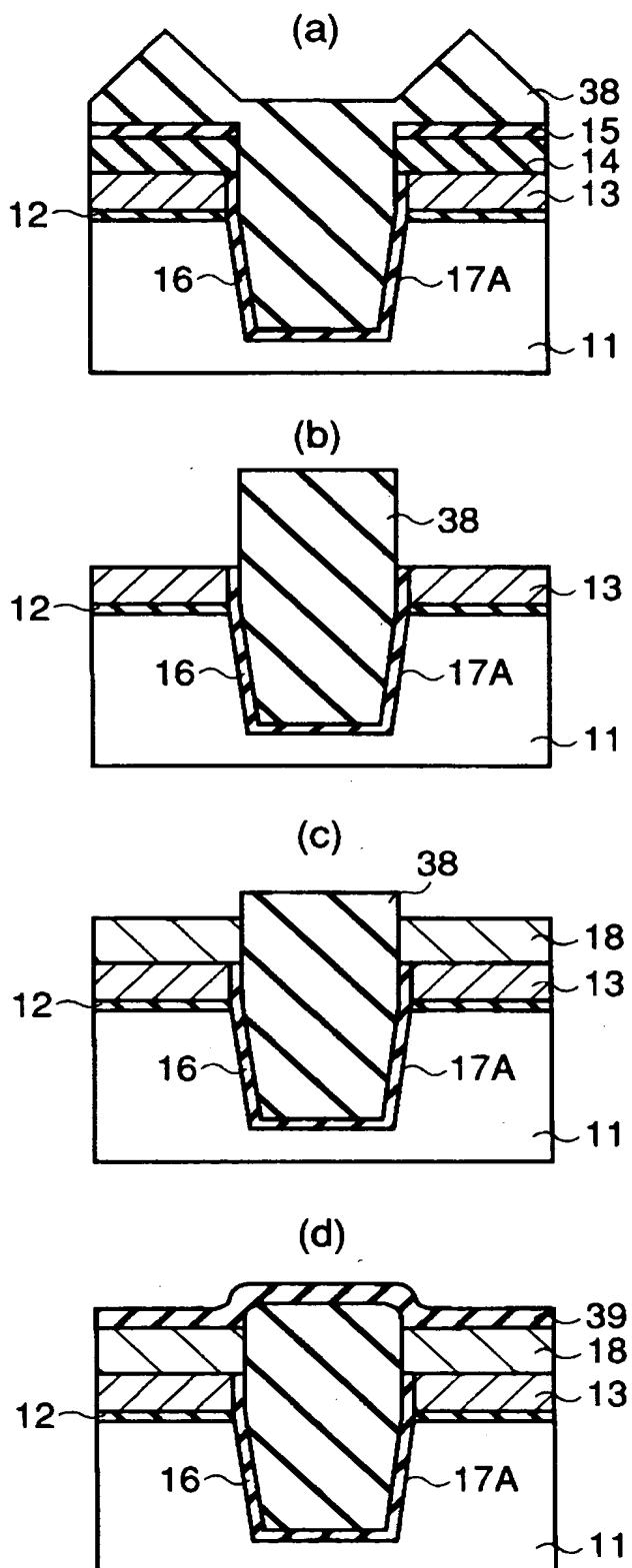


【図15】

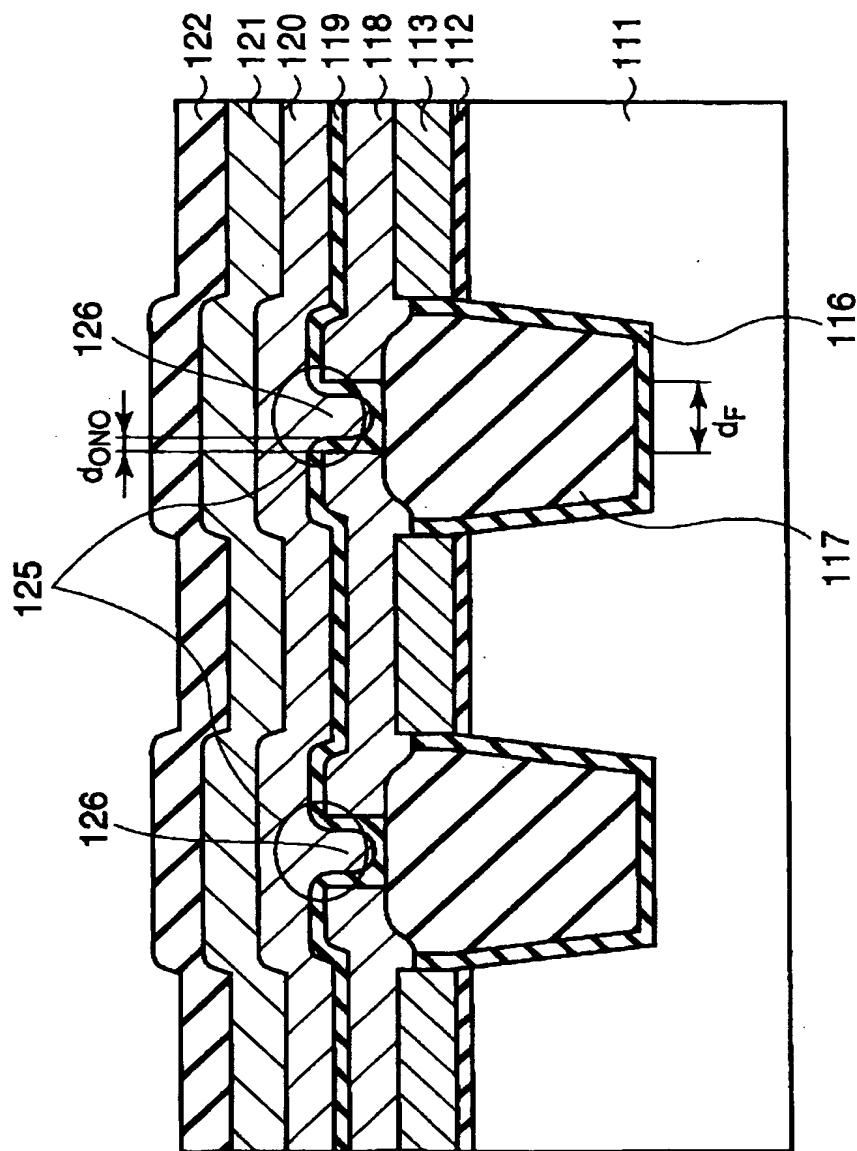


38 低誘電率のシリコン酸化膜

【図16】



【図17】



【書類名】 要約書

【要約】

【課題】 電荷保持特性の良い浮遊電極を持つ不揮発性半導体記憶装置を提供することを目的とする。

【解決手段】 素子分離領域17を挟んで隣接する2つの不揮発性記憶素子の浮遊電極18間には絶縁スリット18Aが形成され、前記絶縁スリット18A内にはスリット絶縁層19-2が埋め込まれ、制御電極20が前記スリット絶縁層19-2および電極間絶縁膜19-1を介して前記隣接する不揮発性記憶素子の浮遊電極18上に跨って形成された不揮発性半導体記憶装置。

【選択図】 図1

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住 所 東京都港区芝浦一丁目1番1号

氏 名 株式会社東芝